(19)日本国特許庁（ＪＰ）　(12)特　許　公　報（Ｂ２）　(11)特許番号

第2608351号

(45)発行日　平成９年(1997)５月７日　(24)登録日　平成９年(1997)２月13日

(51)Int.Cl.⁶		識別記号	庁内整理番号	ＦＩ			技術表示箇所
Ｈ０１Ｌ	27/12			Ｈ０１Ｌ	27/12	Ｂ	
	21/02				21/02	Ｂ	
	21/20				21/20		
	21/304	３２１			21/304	３２１Ｍ	
	21/306				21/316	Ｚ	

請求項の数49(全 31 頁)　最終頁に続く

(21)出願番号　特願平3－194138

(22)出願日　平成３年(1991)８月２日

(65)公開番号　特開平5－21338

(43)公開日　平成５年(1993)１月29日

(31)優先権主張番号　特願平2－206548

(32)優先日　平２(1990)８月３日

(33)優先権主張国　日本（ＪＰ）

(73)特許権者　000001007
キヤノン株式会社
東京都大田区下丸子３丁目30番２号

(72)発明者　米原　隆夫
東京都大田区下丸子３丁目30番２号キヤノン株式会社内

(74)代理人　弁理士　丸島　儀一

審査官　河本　充雄

(56)参考文献　特開　昭62－174969（ＪＰ，Ａ）
特開　昭61－183940（ＪＰ，Ａ）
特開　平２－252265（ＪＰ，Ａ）
特開　昭55－16464（ＪＰ，Ａ）
特開　昭48－46276（ＪＰ，Ａ）

(54)【発明の名称】　半導体部材及び半導体部材の製造方法

(57)【特許請求の範囲】

【請求項１】　多孔質単結晶半導体層と非多孔質単結晶半導体層とを有する第１の部材を用意する工程、前記第１の部材と第２の部材とを絶縁層を介して、且つ前記非多孔質単結晶半導体層が内側に位置する多層構造体が得られるように貼り合わせる工程、及び前記多層構造体から前記多孔質単結晶半導体層を除去する工程、とを有することを特徴とする半導体部材の製造方法。

【請求項２】　前記多孔質単結晶半導体層及び前記非多孔質単結晶半導体層は、シリコンからなる請求項１に記載の半導体部材の製造方法。

【請求項３】　前記多孔質単結晶半導体層は、Ｐ型である請求項２に記載の半導体部材の製造方法。

【請求項４】　前記非多孔質単結晶半導体層の厚さが５０ミクロン以下である請求項１に記載の半導体部材の製造方法。

【請求項５】　前記貼り合わせの工程が窒素を含む雰囲気中で行われる請求項１に記載の半導体部材の製造方法。

【請求項６】　前記貼り合わせの工程が加熱処理を含む請求項１に記載の半導体部材の製造方法。

【請求項７】　前記非多孔質単結晶半導体層は、エピタキシャル成長により形成される請求項１に記載の半導体部材の製造方法。

【請求項８】　前記非多孔質単結晶半導体層は、分子線エピタキシャル法、プラズマＣＶＤ法、減圧ＣＶＤ法、光ＣＶＤ法、液相成長法、及びスパッター法から選ばれる方法によって形成される請求項１に記載の半導体部材の製造方法。

【請求項９】　前記多孔質単結晶半導体層は、陽極化成

により非多孔質単結晶半導体を多孔質化したものである請求項１に記載の半導体部材の製造方法。

【請求項１０】　前記陽極化成は、ＨＦ溶液中で行われる請求項９に記載の半導体部材の製造方法。

【請求項１１】　前記非多孔質単結晶半導体層は、中性あるいはN型である請求項２に記載の半導体部材の製造方法。

【請求項１２】　前記N型のシリコンは、プロトン照射またはエピタキシャル成長により形成される請求項１１に記載の半導体部材の製造方法。

【請求項１３】　前記第２の部材は、シリコン基板からなる請求項１に記載の半導体部材の製造方法。

【請求項１４】　前記第２の部材及び絶縁層は、シリコン基板の表面を酸化することによって形成される請求項１に記載の半導体部材の製造方法。

【請求項１５】　前記第１の部材及び絶縁層は、多孔質単結晶シリコン層と非多孔質単結晶シリコン層とを有する基板の、前記非多孔質単結晶シリコン層の表面を酸化することによって形成される請求項１に記載の半導体部材の製造方法。

【請求項１６】　前記絶縁層は、第１の絶縁層及び第２の絶縁層から成り、前記第１の部材及び第１の絶縁層は、多孔質単結晶シリコン層と非多孔質単結晶シリコン層とを有する基板の、前記非多孔質単結晶シリコン層の表面を酸化することによって形成され、前記第２の部材及び第２の絶縁層は、シリコン基板の表面を酸化することによって形成される請求項１に記載の半導体部材の製造方法。

【請求項１７】　前記酸化は、熱酸化である請求項１４乃至１６に記載の半導体部材の製造方法。

【請求項１８】　前記多孔質単結晶半導体層の除去は、エッチングを用いてなされる請求項１に記載の半導体部材の製造方法。

【請求項１９】　前記エッチングには、エッチャントとして水溶液が用いられる請求項１８に記載の半導体部材の製造方法。

【請求項２０】　前記エッチャントは、フッ酸を含有する請求項１９に記載の半導体部材の製造方法。

【請求項２１】　前記第１の部材は、非多孔質単結晶半導体を多孔質化して前記多孔質単結晶半導体層を形成した後、該多孔質単結晶半導体層上に前記非多孔質半導体層を形成して構成される請求項１乃至請求項２０に記載の半導体部材の製造方法。

【請求項２２】　前記第１の部材は、第１の導伝型の第１の単結晶半導体層上に第２の導伝型の第２の単結晶半導体層を形成した後、前記第１の単結晶半導体層を多孔質化して構成される請求項１乃至請求項２０に記載の半導体部材の製造方法。

【請求項２３】　前記第１の部材を非多孔質単結晶半導体を部分的に多孔質化して得られる前記多孔質単結晶半導体層上に前記非多孔質単結晶半導体層を形成して構成し、前記貼り合わせ工程の後、前記非多孔質単結晶半導体の多孔質化されずに残っている領域を除去する工程及び前記多孔質単結晶半導体層を除去する工程を行う請求項１乃至請求項２０に記載の半導体部材の製造方法。

【請求項２４】　前記非多孔質単結晶半導体の多孔質化されずに残っている領域の除去は、機械的除去によりなされる請求項２３に記載の半導体部材の製造方法。

【請求項２５】　前記機械的除去は、研削、研磨から選ばれる方法によってなされる請求項２４に記載の半導体部材の製造方法。

【請求項２６】　多孔質単結晶半導体層と非多孔質単結晶半導体層とを有する第１の部材を用意する工程、絶縁性材料で構成された第２の部材と前記第１の部材とを、前記非多孔質単結晶半導体層が内側に位置する多層構造体が得られるように貼り合わせる工程、及び前記多層構造体から前記多孔質単結晶半導体層を除去する工程、とを有することを特徴とする半導体部材の製造方法。

【請求項２７】　前記多孔質単結晶半導体層及び前記非多孔質単結晶半導体層は、シリコンからなる請求項２６に記載の半導体部材の製造方法。

【請求項２８】　前記多孔質単結晶半導体層は、Ｐ型である請求項２７に記載の半導体部材の製造方法。

【請求項２９】　前記非多孔質単結晶半導体層の厚さが５０ミクロン以下である請求項２６に記載の半導体部材の製造方法。

【請求項３０】　前記貼り合わせの工程が窒素を含む雰囲気中で行われる請求項２６に記載の半導体部材の製造方法。

【請求項３１】　前記貼り合わせの工程が加熱処理を含む請求項２６に記載の半導体部材の製造方法。

【請求項３２】　前記非多孔質単結晶半導体層は、エピタキシャル成長により形成される請求項２６に記載の半導体部材の製造方法。

【請求項３３】　前記非多孔質単結晶半導体層は、分子線エピタキシャル法、プラズマＣＶＤ法、減圧ＣＶＤ法、光ＣＶＤ法、液相成長法、及びスパッター法から選ばれる方法によって形成される請求項２６に記載の半導体部材の製造方法。

【請求項３４】　前記多孔質単結晶半導体層は、陽極化成により非多孔質単結晶半導体を多孔質化したものである請求項２６に記載の半導体部材の製造方法。

【請求項３５】　前記陽極化成は、ＨＦ溶液中で行われる請求項３４に記載の半導体部材の製造方法。

【請求項３６】　前記非多孔質単結晶半導体層は、中性あるいはN型である請求項２７に記載の半導体部材の製造方法。

【請求項３７】　前記N型のシリコンは、プロトン照射またはエピタキシャル成長により形成される請求項３６に記載の半導体部材の製造方法。

【請求項３８】　前記絶縁性材料で構成された第２の部材は、光透過性部材からなる請求項２６に記載の半導体部材の製造方法。

【請求項３９】　前記光透過性部材は、ガラスからなる請求項３８に記載の半導体部材の製造方法。

【請求項４０】　前記ガラスは、石英ガラスである請求項３９に記載の半導体部材の製造方法。

【請求項４１】　前記多孔質単結晶半導体層の除去は、エッチングを用いてなされる請求項２６に記載の半導体部材の製造方法。

【請求項４２】　前記エッチングには、エッチャントとして水溶液が用いられる請求項４１に記載の半導体部材の製造方法。

【請求項４３】　前記エッチャントは、フッ酸を含有する請求項４２に記載の半導体部材の製造方法。

【請求項４４】　前記第１の部材は、非多孔質単結晶半導体を多孔質化して前記多孔質単結晶半導体層を形成した後、該多孔質単結晶半導体層上に前記非多孔質半導体層を形成して構成される請求項２６乃至請求項４３に記載の半導体部材の製造方法。

【請求項４５】　前記第１の部材は、第１の導伝型の第１の単結晶半導体層上に第２の導伝型の第２の単結晶半導体層を形成した後、前記第１の単結晶半導体層を多孔質化して構成される請求項２６乃至請求項４３に記載の半導体部材の製造方法。

【請求項４６】　前記第１の部材を非多孔質単結晶半導体を部分的に多孔質化して得られる前記多孔質単結晶半導体層上に前記非多孔質単結晶半導体層を形成して構成し、前記貼り合わせ工程の後、前記非多孔質単結晶半導体の多孔質化されずに残っている領域を除去する工程及び前記多孔質単結晶半導体層を除去する工程を行う請求項２６乃至請求項４３に記載の半導体部材の製造方法。

【請求項４７】　前記非多孔質単結晶半導体の多孔質化されずに残っている領域の除去は、機械的除去によりなされる請求項４６に記載の半導体部材の製造方法。

【請求項４８】　前記機械的除去は、研削、研磨から選ばれる方法によってなされる請求項４７に記載の半導体部材の製造方法。

【請求項４９】　前記請求項１乃至請求項４８に記載の方法により製造された半導体部材。

【発明の詳細な説明】

【０００１】

【産業上の利用分野】本発明は、半導体部材及び半導体部材の製造方法に関する。更に詳しくは、誘電体分離あるいは、絶縁物上の単結晶半導体層に作成される電子デバイス、集積回路に適する半導体部材及び半導体部材の製造方法に関する。

【０００２】

【従来の技術】絶縁物上の単結晶Ｓｉ半導体層の形成は、シリコン　オン　インシュレーター（ＳＯＩ）技術として広く知られ、通常のＳｉ集積回路を作製するバルクＳｉ基体では到達し得ない数々の優位点をＳＯＩ技術を利用したデバイスが有することから多くの研究がなされてきた。すなわち、ＳＯＩ技術を利用することで、

１．誘電体分離が容易で高集積化が可能

２．対放射線耐性に優れている

３．浮遊容量が低減され高速化が可能

４．ウエル工程が省略できる

５．ラッチアップを防止できる

６．薄膜化による完全空乏型電界効果トランジスタが可能

等の優位点が得られる。

【０００３】上記したようなデバイス特性上の多くの利点を実現するために、ここ数十年に渡り、ＳＯＩ構造の形成方法について研究されてきている。この内容は、例えば以下の文献にまとめられている。

【０００４】Ｓｐｅｃｉａｌ　Ｉｓｓｕｅ：“Ｓｉｎｇｌｅ－ｃｒｙｓｔａｌｓｉｌｉｃｏｎ　ｏｎ　ｎｏｎ－ｓｉｎｇｌｅ－ｃｒｙｓｔａｌ　ｉｎｓｕｌａｔｏｒｓ”；ｅｄｉｔｅｄ　ｂｙ　Ｇ．Ｗ．Ｃｕｌｌｅｎ，Ｊｏｕｒｎａｌ　ｏｆ　Ｃｒｙｓｔａｌ　Ｇｒｏｗｔｈ，ｖｏｌｕｍｅ　６３，ｎｏ　３，ｐｐ　４２９～５９０（１９８３）．また、古くは、単結晶サファイア基体上に、ＳｉをＣＶＤ（化学気相法）で、ヘテロエピタキシーさせて形成するＳＯＳ（シリコンオン　サファイア）が知られている。これは、最も成熟したＳＯＩ技術として一応の成功を収めはしたが、Ｓｉ層と下地サファイア基体界面の格子不整合により大量の結晶欠陥、サファイア基体からのアルミニュームのＳｉ層への混入、そして何よりも基体の高価格と大面積化への遅れにより、その応用の広がりが妨げられている。比較的近年には、サファイア基体を使用せずにＳＯＩ構造を実現しようという試みが行われている。この試みは、次の３つに大別される。

【０００５】（１）Ｓｉ単結晶基体を表面酸化後に、窓を開けてＳｉ基体を部分的に表出させ、その部分をシードとして横方向へエピタキシャル成長させ、SiO_2上へＳｉ単結晶層を形成する。（この場合には、SiO_2上にＳｉ層の堆積をともなう。）

（２）Ｓｉ単結晶基体そのものを活性層として使用し、その下部にSiO_2を形成する。（この方法は、Ｓｉ層の堆積をともなわない。）

（３）Ｓｉ単結晶基体上へＳｉのエピタキシャル成長を行った後に、絶縁分離を行うもの。（この方法は、Ｓｉ層の堆積をともなう。）

【０００６】

【発明が解決しようとする課題】上記（１）を実現する手段として、ＣＶＤにより、直接、単結晶層Ｓｉを横方向エピタキシャル成長させる方法、非晶質Ｓｉを堆積して、熱処理により固相横方向エピタキシャル成長させる

方法、非晶質あるいは、多結晶Ｓｉ層に電子線、レーザー光等のエネルギービームを収束して照射し、溶融再結晶により単結晶層をSiO_2上に成長させる方法、そして、棒状ヒーターにより帯状に溶融領域を走査する方法（Ｚｏｎｅ ｍｅｌｔｉｎｇ ｒｅｃｒｙｓｔａｌｌｉｚａｔｉｏｎ）が知られている。これらの方法にはそれぞれ一長一短があるが、その制御性、生産性、均一性、品質に多大の問題を残しており、いまだに、工業的に実用化したものはない。例えばＣＶＤ法は平担薄膜化するには、犠牲酸化が必要となり、固相成長法ではその結晶性が悪い。また、ビームアニール法では、収束ビーム走査による処理時間と、ビームの重なり具合、焦点調整などの制御性に問題がある。このうち、Ｚｏｎｅ Ｍｅｌｔｉｎｇ Ｒｅｃｒｙｓｔａｌｌｉｚａｔｉｏｎ法がもっとも成熟しており、比較的大規模な集積回路も試作されてはいるが、依然として、点欠陥、線欠陥、面欠陥（亜粒界）等の結晶欠陥は、多数残留しており、少数キャリアーデバイスを作成するにいたってない。

【０００７】上記（２）の方法であるＳｉ基体をエピタキシャル成長の種子として用いない方法について、例えば以下の方法が挙げられる。

【０００８】１．Ｖ型の溝が表面に異方性エッチングされたＳｉ単結晶基体に酸化膜を形成し、該酸化膜上に多結晶Ｓｉ層をＳｉ基体と同じ程度に厚く堆積した後、Ｓｉ基体の裏面から研磨によって、厚い多結晶Ｓｉ層上にＶ溝に囲まれて誘電分離されたＳｉ単結晶領域を形成する。この手法に於ては、結晶性は、良好であるが、多結晶Ｓｉを数百ミクロンも厚く堆積する工程、単結晶Ｓｉ基体を裏面より研磨して分離したＳｉ活性層のみを残す工程に、制御性、と生産性の点から問題がある。

【０００９】２．サイモックス（ＳＩＭＯＸ：Ｓｅｐａｒａｔｉｏｎ ｂｙ ｉｏｎ−ｉｍｐｌａｎｔｅｄ ｏｘｙｇｅｎ）と称されるＳｉ単結晶基体中に酸素のイオン注入によりSiO_2層を形成する方法であり、Ｓｉプロセスと整合性が良いため現在もっとも成熟した手法の一つである。しかしながら、SiO_2層形成をするためには、酸素イオンを10^{18}ｉｏｎｓ／cm^2以上も注入する必要があるが、その注入時間は長大であり、生産性は高いとはいえず、又、ウエハーコストは高い。更に、結晶欠陥は多く残存し、工業的に見て、少数キャリヤーデバイスを作製できる充分な品質に至っていない。

【００１０】３．多孔質Ｓｉの酸化による誘電体分離によりＳＯＩ構造を形成する方法。この方法は、Ｐ型Ｓｉ単結晶基体表面にＮ型Ｓｉ層をプロトンイオン注入、（イマイ他、Ｊ．Ｃｒｙｓｔａｌ Ｇｒｏｗｔｈ，Ｖｏｌ ６３，５４７（１９８３））もしくは、エピタキシャル成長とパターニングによって島状に形成し、表面より、Ｓｉ島を囲むようにＨＦ溶液中の陽極化成法によりＰ型Ｓｉ基体のみを多孔質化したのち、増速酸化によりＮ型Ｓｉ島を誘電体分離する方法である。本方法では、分離されているＳｉ領域は、デバイス工程のまえに決定されており、デバイス設計の自由度を制限する場合があるという問題点がある。

【００１１】上述の（３）の方法として、特開昭５５−１６４６４号公報に記載されているものは、ｐ型Ｓｉウエハー上にＮ型単結晶Ｓｉ層を形成し、その上にＮ型不純物の酸化物を含むガラス層を設け、このガラス層と、別のシリコンウエハー上に設けたＮ型不純物の酸化物を含むガラス層とを熱処理により貼り合わせる工程を有するものである。そして該貼り合わせ工程に次いでＰ型Ｓｉウエハーを多孔質化した後、該多孔質層を酸化し、エッチングにより多孔質層を除去してＳＯＩ構造を形成するというものである。

【００１２】又、特許出願公告５３−４５６７５号公報には、シリコン単結晶ウエハーを多孔質化させた後、これを酸化して多孔質層を高抵抗化させ、該多孔質層シリコン層上に単結晶Ｓｉ層を形成し、単結晶Ｓｉ層の一部を単結晶Ｓｉ領域を取り囲むように多孔質化及び高抵抗化させて単結晶Ｓｉ層を分離させることが開示されている。

【００１３】これらの公報に記載された方法は、いずれも多孔質層を酸化させる工程を含んでおり、多孔質層は酸化によって、膨張するため、単結晶Ｓｉ層に歪みの影響を及ぼす場合があり、これらの方法では必ずしも定常的に良質な単結晶Ｓｉ層を絶縁体上に形成できるというわけではなかった。

【００１４】（発明の目的）本発明は、上記したような問題点及び上記したような要求に答え得る半導体部材及び該部材を製造する方法を提供することを目的とする。

【００１５】また、本発明の別の目的は、絶縁体上に結晶性が単結晶ウエハー並びに優れた単結晶層を有する半導体部材を提供すること、及び該部材を得るうえで、生産性、均一性、制御性、経済性の面においても優れた方法を提供することである。

【００１６】本発明の更に別の目的は、ＳＯＩ構造の大規模集積回路を作製する際にも、高価なＳＯＳや、ＳＩＭＯＸの代替するに足り得る優れた特性を有する半導体部材及び該部材を短時間に経済性よく製造する方法を提供することである。

【００１７】

【００１８】

【００１９】

【００２０】

【００２１】

【００２２】本発明の半導体部材の製造方法の好ましいものは以下のとおりである。

【００２３】本発明の半導体部材の製造方法は、多孔質単結晶半導体層と非多孔質単結晶半導体層とを有する第１の部材を用意する工程、前記第１の部材と第２の部材とを絶縁層を介して、且つ前記非多孔質単結晶半導体層

が内側に位置する多層構造体が得られるように貼り合わせる工程、及び前記多層構造体から前記多孔質単結晶半導体層を除去する工程、とを有することを特徴とする。

【００２４】又、別に、多孔質単結晶半導体層と非多孔質単結晶半導体層とを有する第１の部材を用意する工程、絶縁性材料で構成された第２の部材と前記第１の部材とを、前記非多孔質単結晶半導体層が内側に位置する多層構造体が得られるように貼り合わせる工程、及び前記多層構造体から前記多孔質単結晶半導体層を除去する工程、とを有することを特徴とする。

【００２５】

【００２６】

【００２７】

【００２８】

【００２９】

【００３０】

【００３１】

【作用】本発明の半導体部材は、絶縁物上にキャリアライフタイムが大きく、欠陥の極めて少ない単結晶半導体領域を、優れた膜厚の均一性をもって有するものであり、種々の半導体デバイスに応用可能なものである。又、本発明の半導体部材は高速応答が可能で、信頼性に富んだ半導体デバイスに応用可能である。又、本発明の半導体部材は高価なＳＯＳやＳＩＭＯＸの代替足り得るものである。

【００３２】本発明の半導体部材の製造方法は、絶縁物上に結晶性が単結晶ウエハー並に優れたＳｉ結晶層を得るうえで、生産性、均一性、制御性、経済性の面において卓越した方法を提供するものである。

【００３３】更に、本発明の半導体部材の製造方法によれば、従来のＳＯＩデバイスの利点を実現し、応用可能な半導体部材の製造方法を提供することができる。

【００３４】また、本発明の半導体部材の製造方法によれば、ＳＯＩ構造の大規模集積回路を作製する際にも、高価なＳＯＳや、ＳＩＭＯＸの代替足り得る半導体部材の製造方法を提供することができる。

【００３５】本発明の半導体部材の製造方法は、実施例にも詳細に記述したように、処理を短時間に効率良く行うことが可能となり、その生産性と経済性に優れている。

【００３６】

【実施態様例】以下、半導体材料としてシリコンを例に挙げ、具体的に本発明を説明するが、本発明における半導体材料はシリコンのみに何等限定されるものではない。

【００３７】多孔質Ｓｉ層には、透過電子顕微鏡による観察によれば、平均約６００Å程度の径の孔が形成されており、その密度は単結晶Ｓｉに比べると、半分以下になるにもかかわらず、単結晶性は維持されている。単結晶とは、任意の結晶軸に注目したとき、試料のどの部分においてもその向きが同一であるような結晶質固体をいうが、本発明で使用する多孔質層は孔はあいてはいるものの、結晶質領域の結晶軸は、どの部分でも方向が同一であり、単結晶である。そして、多孔質層の上へ単結晶Ｓｉ層をエピタキシャル成長させることは、可能である。但し、温度１０００℃以上では、内部の穴の周囲に位置する原子の再配列が起こり、増速エッチングの特性が損なわれることがある。このため、本発明においてＳｉ層のエピタキシャル成長には、分子線エピタキシャル成長、プラズマＣＶＤ、減圧ＣＶＤ法、光ＣＶＤ、バイアス・スパッタ法、液相成長法等の低温成長可能な結晶成長法が好適に用いられる。

【００３８】多孔質層はその内部に多量の空隙が形成されてために、密度が半分以下に減少し得る。その結果、単位体積あたりの表面積（比表面積）が飛躍的に増大するため、その化学エッチング速度は、通常の非多孔質単結晶層のエッチング速度に比べて著しく増速される。本発明は前述した多孔質化した半導体の２つの特性、即ち単結晶性が維持され、前記多孔質化した半導体基体上に非多孔質半導体単結晶をエピタキシャル成長し得ること、及び非多孔質単結晶と比較して著しくエッチング速度が速いこと、を利用するものであり、絶縁性材料表面を有する基体上に高品質の非多孔質半導体単結晶層を短時間に形成し得る。

【００３９】多孔質層は、下記の理由により、Ｎ型Ｓｉ層よりもＰ型Ｓｉ層に形成されやすい。まず多孔質Ｓｉは、Ｕｈｌｉｒ等によって１９５６年に半導体の電解研磨の研究過程に於て発見された（Ａ．Ｕｈｌｉｒ，Ｂｅｌｌ Ｓｙｓｔ．Ｔｅｃｈ．Ｊ．，ｖｏｌ ３５，ｐ．３３３（１９５６））。

【００４０】ウナガミ等は、陽極化成におけるＳｉの溶解反応を研究し、ＨＦ溶液中のＳｉの陽極反応には正孔が必要であり、その反応は、次のようであると報告している（Ｔ．ウナガミ：Ｊ．Ｅｌｅｃｔｒｏｃｈｅｍ．Ｓｏｃ．，ｖｏｌ．１２７，ｐ．４７６（１９８０））。

【００４１】即ち、

$$Si + 2HF + (2-n)e^{+} \rightarrow SiF_2 + 2H^{+} + ne^{-}$$

$$SiF_2 + 2HF \rightarrow SiF_4 + H_2$$

$$SiF_4 + 2HF \rightarrow H_2SiF_6$$

または、

$$Si + 4HF + (4-\lambda)e^{+} \rightarrow SiF_4 + 4H^{+} + \lambda e^{-}$$

$$SiF_4 + 2HF \rightarrow H_2SiF_6$$

【００４２】ここでe^{+}及びe^{-}はそれぞれ、正孔と電子を表わしている。また、ｎ及びλはそれぞれシリコン１原子が溶解するために必要な正孔の数であり、$n>2$又は$\lambda>4$なる条件が満たされた場合に多孔質シリコンが形成されるとしている。

【００４３】以上のことから、正孔の存在するＰ型シリコンは、逆特性のＮ型シリコンよりも多孔質化されやすい。この多孔質化における、選択性は長野ら及び、イマ

イによって実証されている（長野、中島、安野、大中、梶原；電子通信学会技術研究報告、ｖｏｌ　７９，ＳＳＤ　７９－９５４９（１９７９），（Ｋ．イマイ；Ｓｏｌｉｄ－Ｓｔａｔｅ　ＥｋｅｃｔｒｏｎｉｃｓＶｏｌ　２４，１５９（１９８１））。しかし、条件の設定によってはN型シリコンをも多孔質化することができる。

【００４４】以下、図面を参照しながら、本発明を具体的に説明する。

【００４５】〔実施態様例１〕

Ｐ型基体の全てを多孔質化し、単結晶層をエピタキシャル成長させて半導体基体を得る方法について説明する。

【００４６】図１（ａ）に示すように、先ず、Ｐ型Ｓｉ単結晶基体を用意して、その全部を多孔質化する。前述の低温成長可能な結晶成長法により、多孔質化した基体表面にエピタキシャル成長を行ない、薄膜単結晶層２２を形成する。前記Ｐ型Ｓｉ基体は、ＨＦ溶液を用いた陽極化成法によって、多孔質化させる。この多孔質Ｓｉ層２１は、単結晶Ｓｉの密度２．３３ｇ／ｃｍ^{3}に比べて、その密度をＨＦ溶液濃度を５０～２０%に変化させることで密度１．１～０．６ｇ／ｃｍ^{3}の範囲に変化させることができる。

【００４７】次いで、図１（ｂ）に示すように、もう一つのＳｉ基体２３を用意して、その表面に酸化層２４を形成した後、多孔質Ｓｉ基体２１上の単結晶Ｓｉ層２２表面に該酸化層２４を表面に持つＳｉ基体２３を貼り合わせる。この後に、図１（ｃ）に示すように、多孔質Ｓｉ基体２１を全部エッチング除去してSiO_2層２４上に薄膜化した単結晶シリコン層２２を残存させ形成する。本発明においては、多孔質半導体層に酸化処理を施すことなく多孔質半導体層をエッチング除去するため、多孔質半導体層の酸化膨張が防げ、エピタキシャル成長した単結晶層への歪みの影響を防ぐことができる。この方法によれば、絶縁物である酸化Ｓｉ層２４上に結晶性がシリコンウエハーと同等な単結晶Ｓｉ層２２が、平坦に、しかも均一に薄層化されて、ウエハー全域に、大面積に形成される。こうして得られた半導体基体は、絶縁分離された電子素子作製という点においても、好適に使用することができる。

【００４８】ここで多孔質半導体基体上に形成する非多孔質半導体結晶層の層厚は薄膜半導体デバイスを前記半導体単結晶層を形成するために、好ましくは５０μｍ以下、より好ましくは２０μｍ以下とするのが望ましい。

【００４９】また、前記非多孔性半導体単結晶と絶縁性材料表面を有する基体との貼り付けは窒素、不活性ガス又はこれ等の混合気体雰囲気中、あるいは不活性ガス又は窒素を含有する雰囲気中にて行うことが好ましく、更に加熱状態で行うことが望ましい。

【００５０】前記絶縁性材料表面を有する基体上に貼り合わせられた前記非多孔性半導体単結晶層を残して前記多孔質化した半導体基体を選択的にエッチングするエッチャントとしては例えば水酸化ナトリウム水溶液、水酸化カリウム水溶液、フッ酸－硝酸－酢酸混合溶液等のエッチャントが挙げられる。

【００５１】また、本発明で用いることのできる絶縁性材料を有する基体とは、少なくともその表面が絶縁性材料で構成されたもの、あるいは基体全体が絶縁性材料で構成されたものであってもよい。表面が絶縁性材料で構成された基体の例としては、単結晶または多結晶のシリコン基体の表面を酸化したもの、導電性または半導体性の基体表面に酸化物、窒化物、ホウ化物等の絶縁材料の層を形成したものなどが挙げられる。また、基体全体が絶縁性材料で構成された基体の具体的な例としては、石英ガラス、焼結アルミナ、等の絶縁材料からなる基体が挙げられる。

【００５２】ところで、本実施態様例１においては、多孔質半導体基体上に非多孔質半導体単結晶層を形成する例を示したが、本発明は前記の実施態様例１の形態にのみ限定されるのではなく、多孔質化され難い材料（例えばN型シリコン）からなる単結晶層と多孔質化されやすい材料（例えばP型シリコン）からなる層とを有する基体に多孔質化処理を行い、非多孔性半導体単結晶層を有する多孔質半導体基体を形成しても良い。

【００５３】また、多孔質半導体基体をエッチングにより除去する工程において、非多孔性半導体単結晶層及び絶縁性材料表面を有する基体がエッチャントにより悪影響を受けることがないように、エッチング処理の際、多孔質半導体基体を除いてエッチング防止材料で覆っても良い。

【００５４】このように形成された絶縁物上の非多孔性単結晶層はキャリアーのライフタイムに関して５．０×１０$^{-4}$ｓｅｃ以上のものとなり得、ＳＩＭＯＸで得られる半導体単結晶層に比べて貫通転移等の結晶欠陥の著しく少ないものであると共に、半導体単結晶層の層厚の分布も極めて小さいものである。

【００５５】具体的には、転移欠陥密度は、２×１０^4／ｃｍ^{2}以下となり、半導体単結晶層の層厚に関しては半導体単結晶層表面の面積２０ｃｍ^2～５００ｃｍ^2（２インチウエハー～１０インチウエハー）の範囲内において、半導体単結晶層の厚みの最大値と厚みの最小値の差を厚みの最大値に対して１０％以下に抑えることができる。

【００５６】以下、他の実施態様例を示す。

【００５７】［実施態様例２］以下、実施態様例２を図２を参照しながら詳述する。

【００５８】先ず、図２（ａ）に示されるように種々の薄膜成長法によるエピタキシャル成長により低不純物濃度層１２２を形成する。或いは、Ｐ型Ｓｉ単結晶基体１２１の表面をプロトンをイオン注入してN型単結晶層１２２を形成する。

【００５９】次に、図２（ｂ）に示されるようにＰ型Ｓ

i単結晶基体１２１を裏面よりＨＦ溶液を用いた陽極化成法によって、多孔質Ｓｉ基体１２３に変質させる。この多孔質Ｓｉ層１２３は、単結晶Ｓｉの密度２．３３ｇ／ｃm^3に比べて、その密度をＨＦ溶液濃度を５０～２０％に変化させることで密度１．１～０．６ｇ／ｃm^3の範囲に変化させることができる。この多孔質層は、上述したように、Ｐ型基体に形成される。

【００６０】図２（ｃ）に示すように、もう一つのＳｉ基体１２４を用意して、その表面に酸化層１２５を形成した後、多孔質Ｓｉ基体１２３上の単結晶Ｓｉ層１２２表面に該酸化層１２５を表面に持つＳｉ基体１２４を貼り合わせる。

【００６１】この後に、多孔質Ｓｉ基体１２３を全部エッチングしてSiO_2層１２５上に薄膜化した単結晶シリコン層１２２を残存させ半導体基体を形成する。

【００６２】この方法によれば、絶縁物である酸化層１２５上に結晶性がシリコンウエハーと同等な単結晶Ｓｉ層１２２が、平坦に、しかも均一に薄層化されて、ウエハー全域に、大面積に形成される。

【００６３】こうして得られた半導体基体は、絶縁分離された電子素子作製という点においても、好適に使用することができる。

【００６４】以上実施態様例２は、多孔質化を行う前にＰ型基体にＮ型層を形成し、その後、陽極化成により選択的に、Ｐ型基体のみを多孔質化する方法の例である。本実施態様例においても、実施態様例１と同様な性能の半導体単結晶層を有する半導体基体が得られる。

【００６５】［実施態様例３］図３（ａ）に示すように、先ず、Ｐ型Ｓｉ単結晶基体を用意して、その全部を多孔質化する。種々の成長法により、エピタキシャル成長を多孔質化した基体表面に行い、薄膜単結晶層１２を形成する。

【００６６】図３（ｂ）に示すように、もう一つのＳｉ基体１３を用意して、その表面に酸化層１４を形成した後、多孔質Ｓｉ基体１１上の単結晶Ｓｉ層１２表面に酸化層１４を表面に持つＳｉ基体を貼り合わせる。

【００６７】次に、図３（ｂ）に示すように、エッチング防止膜として、Si_3N_4層５を、貼り合わせた２枚のシリコンウエハー全体を被覆して堆積させる。次いで図３（ｃ）に示したように、多孔質シリコン基体の表面上のSi_3N_4層を除去する。他のエッチング防止膜材料としてSi_3N_4の代わりに、アピエゾンワックスを用いても良い。この後に、多孔質Ｓｉ基体１１を全部エッチングしてSiO_2層１４上に薄膜化した単結晶シリコン層１２を残存させ半導体基体を形成する。

【００６８】図３（ｃ）には本発明で得られる半導体基体が示される。すなわち、図３（ｂ）におけるエッチング防止膜としてのSi_3N_4層１５を除去することによって、絶縁物であるSiO_2層１４を介したＳｉ基体１３上に結晶性がシリコンウエハーと同等な単結晶Ｓｉ層２が、平坦に、しかも均一に薄層化されて、ウエハー全域に、大面積に形成される。こうして得られた半導体基体は、絶縁分離された電子素子作製という点から見ても好適に使用することができる。本実施態様例においても、実施態様例１と同様な性能の半導体単結晶層を有する半導体基体が得られる。

【００６９】［実施態様例４］以下、本発明の実施態様例４を図４を参照しながら詳述する。

【００７０】先ず、図４（ａ）に示されるように種々の薄膜成長法によるエピタキシャル成長により低不純物濃度層１１２を形成する。或いは、Ｐ型Ｓｉ単結晶基体１１１の表面をプロトンをイオン注入してＮ型単結晶層１１２を形成する。

【００７１】次に、図４（ｂ）に示されるようにＰ型Ｓｉ単結晶基体１１１を裏面よりＨＦ溶液を用いた陽極化成法によって、多孔質Ｓｉ基体１１３に変質させる。この多孔質Ｓｉ層１１３は、単結晶Ｓｉの密度２．３３ｇ／ｃm^3に比べて、その密度をＨＦ溶液濃度を５０～２０％に変化させることで密度１．１～０．６ｇ／ｃm^3の範囲に変化させることができる。この多孔質層１１３は、上述したように、Ｐ型基体に形成される。

【００７２】図４（ｃ）に示すように、もう一つのＳｉ基体１１４を用意して、その表面に酸化層１１５を形成した後、多孔質Ｓｉ基体１１３上の単結晶Ｓｉ層１１２表面に酸化層１１５を表面に持つＳｉ基体１１４を貼り合わせる。

【００７３】ここで、図４（ｃ）に示すように、エッチング防止膜１１６として、Si_3N_4層１１６を、貼り合わせた２枚のシリコンウエハー全体を被覆して堆積させる。次いで図４（ｃ）に示したように、多孔質シリコン基体の表面上のSi_3N_4層を除去する。他のエッチング防止膜１１６としてSi_3N_4の代わりに、アピエゾンワックスなどの耐エッチング性に優れた材料を用いても良い。この後に、多孔質Ｓｉ基体１１３を全部エッチングしてSiO_2層１１５上に薄膜化した単結晶シリコン層１１２を残存させ半導体基体を形成する。図４（ｄ）には本発明で得られる半導体層を有する基体が示される。すなわち、図４（ｃ）に示したエッチング防止膜１１６としてのSi_3N_4層１１６を除去することによって、絶縁物であるSiO_2層１１５上に結晶性がシリコンウエハーと同等な単結晶Ｓｉ層１１２が、平坦に、しかも均一に薄層化されて、ウエハー全域に、大面積に形成される。

【００７４】こうして得られた半導体基体は、エッチャントによる悪影響も受けることなく、絶縁分離された電子素子作製という点においても好適に使用することができる。又、本実施態様例で得られる半導体基体は、実施態様例１のものと同様な性能のものである。

【００７５】［実施態様例５］図５（ａ）に示すように、先ず、Ｐ型Ｓｉ単結晶基体を用意して、その全部を

多孔質化する。種々の成長法により、エピタキシャル成長を多孔質化した基体表面に行い、薄膜単結晶層３２を形成する。

【００７６】図５（ｂ）に示すように、もう一つのＳｉ基体３３を用意して、その表面に酸化層３４を形成した後、多孔質Ｓｉ基体３１上の単結晶Ｓｉ層３２上に形成した酸化層３６表面に、該酸化層３４を表面に持つＳｉ基体３３を貼り合わせる。この貼り合わせ工程は、洗浄した表面同志を密着させ、その後、不活性ガス雰囲気あるいは、窒素雰囲気中で加熱することによって行われる。又、酸化層３４は、最終的な活性層である非多孔質単結晶層３２の界面準位を低減させるために形成する。図５（ｂ）に示すように、エッチング防止膜として、Si_3N_4層３５を堆積させて、貼り合わせた２枚のシリコンウエハー全体を被覆する。次いで図５（ｃ）に示すように、多孔質シリコン基体３１の表面上のSi_3N_4層３５を除去する。他のエッチング防止膜材料としてSi_3N_4の代わりに、アピエゾンワックスなどを用いても良い。この後に、多孔質Ｓｉ基体３１を全部エッチングしてSiO_2層上に薄膜化した単結晶シリコン層３２を残存させ半導体基体を形成する。

【００７７】図５（ｃ）には本発明で得られる半導体層を有する基体が示される。すなわち、図５（ｂ）に示したエッチング防止膜としてのSi_3N_4層３５を除去することによって、SiO_2層３４、３６を介してＳｉ基体３３上に結晶性がシリコンウエハーと同等な単結晶Ｓｉ層３２が、平坦に、しかも均一に薄層化されて、ウエハー全域に、大面積に形成される。こうして得られた半導体基体は、絶縁分離された電子素子作製という点においても好適に使用することができる。又、本実施態様例で得られる半導体基体は、実施態様例１のものと同様な性能のものである。

【００７８】［実施態様例６］以下、本発明の実施態様例６を図６を参照しながら詳述する。

【００７９】先ず、図６（ａ）に示されるように種々の薄膜成長法によるエピタキシャル成長により低不純物濃度層１３２を形成する。或いは、Ｐ型Ｓｉ単結晶基体１３１の表面をプロトンをイオン注入してＮ型単結晶層１３２を形成する。

【００８０】次に、図６（ｂ）に示されるようにＰ型Ｓｉ単結晶基体１３１を裏面よりＨＦ溶液を用いた陽極化成法によって、多孔質Ｓｉ基体１３３に変質させる。この多孔質Ｓｉ層１３３は単結晶Ｓｉの密度２．３３ｇ／cm^3に比べて、その密度をＨＦ溶液濃度を５０～２０％に変化させることで密度１．１～０．６ｇ／cm^3の範囲に変化させることができる。この多孔質層は、上述したように、Ｐ型基体に形成される。

【００８１】図６（ｃ）に示すように、もう一つのＳｉ基体１３４を用意して、その表面に酸化層１３５を形成した後、多孔質Ｓｉ基体１３３上の単結晶Ｓｉ層１３２上に形成した酸化層１３７の表面に該酸化層１３５を持つＳｉ基体１３４を貼りつける。

【００８２】次いで、エッチング防止膜１３６として、Si_3N_4層１３６を、貼り合わせた２枚のシリコンウエハー全体に被覆して堆積させる。この後、図６（ｄ）に示すように、多孔質シリコン基体１３３の表面上のSi_3N_4層１３６を除去する。この後に、多孔質Ｓｉ基体１３１を全部化学的にエッチングしてSiO_2層１３５、１３７上に薄膜化した単結晶シリコン層を残存させ半導体基体を形成する。

【００８３】こうして得られた半導体基体は、各層間密着性に優れ、絶縁分離された電子素子作製という点からしても好適に使用することができる。又、本実施態様例で得られる半導体基体は、実施態様例１のものと同様な性能のものである。

【００８４】［実施態様例７］図７（ａ）に示すように、先ず、Ｐ型Ｓｉ単結晶基体を用意して、その全部を多孔質化する。種々の成長法により、エピタキシャル成長を多孔質化した基体表面に行い、薄膜単結晶層４２を形成する。図７（ｂ）に示すように、もう一つのＳｉ基体４３を用意して、その表面に酸化層４４を形成した後、多孔質Ｓｉ基体４１上の単結晶Ｓｉ層４２上に形成した酸化層４５表面に、前記酸化層４４を表面に持つＳｉ基体４３を貼り合わせる。この貼り合わせ工程は、洗浄した表面同志を密着させ、その後、不活性ガス雰囲気あるいは、窒素雰囲気中で加熱することによって行われる。又、酸化層４４は、最終的な半導体としての活性層である単結晶層４２の界面準位を低減させるために形成する。図７（ｃ）に示すように、多孔質Ｓｉ基体４１を全部エッチングして、SiO_2層４４、４５上に薄膜化した単結晶シリコン層を残存させ、半導体基体を形成する。図７（ｃ）には本発明で得られる半導体基体が示される。

【００８５】SiO_2層４４、４５を介してＳｉ基体４３上に結晶性がシリコンウエハーと同等な単結晶Ｓｉ層４２が、平坦に、しかも均一に薄層化されて、ウエハー全域に、大面積に形成される。こうして得られた半導体基体は、絶縁分離された電子素子作製という点から見ても好適に使用することができる。又、本実施態様例で得られる半導体基体は、実施態様例１のものと同様な性能を有するものである。

【００８６】［実施態様例８］以下、本発明の実施態様例８を図８を参照しながら詳述する。

【００８７】先ず、図８（ａ）に示されるように種々の薄膜成長法によるエピタキシャル成長により低不純物濃度層１４２を形成する。或いは、Ｐ型Ｓｉ単結晶基体１４１の表面をプロトンをイオン注入してＮ型単結晶層１４２を形成する。

【００８８】次に、図８（ｂ）に示されるようにＰ型Ｓｉ単結晶基体１４１を裏面よりＨＦ溶液を用いた陽極化成法

成法によって、多孔質Ｓｉ基体１４３に変質させる。この多孔質Ｓｉ層１４３は単結晶Ｓｉの密度２．３３ｇ／ｃm^3に比べて、その密度をＨＦ溶液濃度を５０～２０％に変化させることで密度１．１～０．６ｇ／ｃm^3の範囲に変化させることができる。この多孔質層は、上述したように、Ｐ型基体１４１に形成される。

【００８９】図８（ｃ）に示すように、もう一つのＳｉ基体１４４を用意して、その表面に酸化層１４５を形成した後、多孔質Ｓｉ基体１４３上の単結晶Ｓｉ層１４２上に形成した酸化層１４６の表面に、前記酸化層１４５を持つＳｉ基体１４４を貼り合わせる。

【００９０】その後に、多孔質シリコン基体を全部化学的にエッチングしてＳｉO_2層１４５、１４６上に薄膜化した単結晶シリコン層を残存させ半導体基体を形成する。

【００９１】図８（ｄ）には本発明で得られる半導体基体が示される。ＳｉO_2層１４５、１４６を介してＳｉ基体１４４上に結晶性がシリコンウエハーと同等な単結晶Ｓｉ層１４２が、平坦に、しかも均一に薄層化されて、ウエハー全域に、大面積に形成される。

【００９２】こうして得られた半導体基体は、絶縁分離された電子素子作製という点からしても好適に使用することができる。又、本実施態様例で得られる半導体基体は、実施態様例１のものと同様な性能を有するものである。

【００９３】［実施態様例９］図９（ａ）に示すように、先ず、Ｐ型Ｓｉ単結晶基体を用意して、その全部を多孔質化する。種々の成長法により、エピタキシャル成長を多孔質化した基体５１表面に行い、薄膜単結晶層５２を形成する。

【００９４】図９（ｂ）に示すように、ガラスに代表される光透過性基体５３を用意して、多孔質Ｓｉ基体５１上の単結晶Ｓｉ層５２の表面に該光透過性基体５３を貼り合わせる。

【００９５】ここで、図９（ｂ）に示すように、エッチング防止膜５４として、Si_3N_4層５４を、貼り合わせた２枚の基体全体を被覆して堆積させる。次いで図９（ｃ）に示すように、多孔質シリコン基体の表面上のSi_3N_4層５４を除去する。この後に、多孔質Ｓｉ基体５１を全部エッチング除去して光透過性基体５３上に薄膜化した単結晶シリコン層５２を残存させ半導体基体を形成する。図９（ｃ）には本発明で得られる半導体基体が示される。こうして得られた半導体基体は、光透過性の絶縁材料で絶縁分離された電子素子作製という点からしても好適に使用することができる。又、本実施態様例で得られる半導体基体は、実施態様例１のものと同様な性能を有するものである。

【００９６】［実施態様例１０］以下、本発明の実施態様例１０を図１０を参照しながら詳述する。

【００９７】先ず、図１０（ａ）に示されるように種々の薄膜成長法によるエピタキシャル成長により低不純物濃度層１５２を形成する。或いは、Ｐ型Ｓｉ単結晶基体１５１の表面をプロトンをイオン注入してＮ型単結晶層１５２を形成する。

【００９８】次に、図１０（ｂ）に示されるようにＰ型Ｓｉ単結晶基体１５１を裏面よりＨＦ溶液を用いた陽極化成法によって、多孔質Ｓｉ基体１５３に変質させる。この多孔質Ｓｉ層１５３は単結晶Ｓｉの密度２．３３ｇ／ｃm^3に比べて、その密度をＨＦ溶液濃度を５０～２０％に変化させることで密度１．１～０．６ｇ／ｃm^3の範囲に変化させることができる。この多孔質層１５３は、上述したように、Ｐ型基体１５１に形成される。

【００９９】図１０（ｃ）に示すように、光透過性基体１５４を用意して、多孔質Ｓｉ基体１５３上の単結晶Ｓｉ層１５２の表面に該光透過性基体１５４を貼り合わせる。次いで、図１０（ｃ）に示すように、エッチング防止膜１５５として、Si_3N_4層などを、貼り合わせた２枚の基体全体を被覆して堆積させる。続いて図１０（ｄ）に示すように、多孔質シリコン基体１５３の表面上のSi_3N_4層１５５を除去する。この後に、多孔質Ｓｉ基体１５３を全部エッチング除去して光透過性基体１５４上に薄膜化した単結晶シリコン層１５２を残存させ、半導体基体を形成する。

【０１００】図１０（ｄ）には本発明で得られる半導体基体が示される。それは、光透過性基体１５４上に結晶性がシリコンウエハーと同等な単結晶Ｓｉ層１５２が、平坦に、しかも均一に薄層化されて、ウエハー全域に、大面積に形成されたものである。

【０１０１】こうして得られた半導体基体は、光透過性の絶縁材料で絶縁分離された電子素子作製という点からしても好適に使用することができる。又、本実施態様例で得られる半導体基体は、実施態様例１のものと同様な性能を有するものである。

【０１０２】［実施態様例１１］図１１（ａ）に示すように、先ず、Ｐ型Ｓｉ単結晶基体を用意して、その全部を多孔質化する。種々の成長法により、エピタキシャル成長を多孔質化した基体６１表面に行い、薄膜単結晶層６２を形成する。

【０１０３】図１１（ｂ）に示すように、ガラスに代表される光透過性基体６３を用意して、多孔質Ｓｉ基体６１上の単結晶Ｓｉ層６２の表面に該光透過性基体６３を貼り合わせる。

【０１０４】この後に、多孔質Ｓｉ基体６１を全部エッチングして光透過性基体６３上に薄膜化した単結晶シリコン層６２を残存させ、半導体基体を形成する。

【０１０５】図１１（ｃ）には本発明で得られる半導体基体が示される。それは、光透過性基体６３上に結晶性がシリコンウエハーと同等な単結晶Ｓｉ層６２が、平坦に、しかも均一に薄層化されて、ウエハー全域に、大面積に形成されたものである。こうして得られた半導体基

体は、光透過性絶縁材料で絶縁分離された電子素子作製という点からしても好適に使用することができる。

【０１０６】［実施態様例１２］以下、本発明の実施態様例１２を図１２を参照しながら詳述する。

【０１０７】先ず、図１２（ａ）に示されるように種々の薄膜成長法によるエピタキシャル成長により低不純物濃度層１６２を形成する。或いは、Ｐ型Ｓｉ単結晶基体１６１の表面をプロトンをイオン注入してＮ型単結晶層１６２を形成する。

【０１０８】次に、図１２（ｂ）に示されるようにＰ型Ｓｉ単結晶基体１６１を裏面よりＨＦ溶液を用いた陽極化成法によって、多孔質Ｓｉ基体１６３に変質させる。この多孔質Ｓｉ層１６３は単結晶Ｓｉの密度２．３３ｇ／cm^3に比べて、その密度をＨＦ溶液濃度を５０〜２０％に変化させることで密度１．１〜０．６ｇ／cm^3の範囲に変化させることができる。この多孔質層１６３は、上述したように、Ｐ型基体１６３に形成される。

【０１０９】図１２（ｃ）に示すように、光透過性基体１６４を用意して、多孔質Ｓｉ基体１６３上の単結晶Ｓｉ層１６２の表面に該光透過性基体１６４を貼り合わせる。図１２（ｃ）に示すように、多孔質Ｓｉ基体１６３を全部エッチング除去して光透過性基体１６４上に薄膜化した単結晶シリコン層１６２を残存させ、半導体基体を形成する。

【０１１０】図１２（ｄ）には本発明で得られる半導体基体が示される。それは、光透過性基体１６４上に結晶性がシリコンウエハーと同等な単結晶Ｓｉ層１６２が、平坦に、しかも均一に薄層化されて、ウエハー全域に、大面積に形成されたものである。

【０１１１】こうして得られた半導体基体は、光透過性絶縁材料で絶縁分離された電子素子作製という点からしても好適に使用することができる。又、本実施態様例で得られる半導体基体は、実施態様例１のものと同様な性能を有するものである。

【０１１２】［実施態様例１３］図１３を用いて説明する。図１３（ａ）に示すように、先ず、Ｓｉ単結晶基体１３００の１部に多孔質領域１３０１を形成する。次いで該多孔質領域１３０１上に種々の結晶成長法により薄膜Ｓｉ単結晶層１３０２を形成する（図１３（ｂ））。

【０１１３】薄膜Ｓｉ単結晶層１３０２上に酸化膜１３０３を形成する（図１３（ｃ））。

【０１１４】別のＳｉ基体１３０４の表面上に形成された酸化膜１３０５と前記酸化膜１３０３とを貼り合わせる（図１３（ｄ））。

【０１１５】次いで多孔質化されずに残っていたＳｉ単結晶気体１３００を研削等の機械的研磨やエッチング等により除去し、多孔質領域１３０１を表出させる（図１３（ｅ））。

【０１１６】多孔質領域１３０１をエッチング除去し、絶縁物上に薄膜Ｓｉ単結晶層を有する半導体基体を形成する（図１３（ｆ））。

【０１１７】このような工程を採用した場合、多孔質化に要する時間を短縮でき、多孔質Ｓｉ基体をエッチング除去する時間も短縮できるため、基体形成の高効率化を図ることができる。

【０１１８】尚、図１３に示した酸化膜１３０３を形成せずに、薄膜Ｓｉ単結晶層１３０２と酸化膜１３０５と直接貼り合わせることも可能であり、Ｓｉ基体１３０４上に形成された酸化膜１３０５の代わりに、ガラス等の絶縁性基体を貼り合わせることも可能である。

【０１１９】又、実施態様例１乃至１２における各工程を本実施態様例に繰み込むことも可能である。

【０１２０】こうして得られる半導体基体は実施態様例１乃至１２により得られる半導体基体と同様に優れた性能を有するものである。

【０１２１】以下、具体的な実施例によって本発明を説明する。

【０１２２】

【実施例】（実施例１）直径３ｉｎｃｈで２００ミクロンの厚みを持ったＰ型（１００）単結晶Ｓｉ基体（Ｓｉウエハー）に５０％のＨＦ溶液中において陽極化成を施した。この時の電流密度は、１００ｍＡ／cm^2であった。この時の多孔質化速度は、８．４μｍ／ｍｉｎ．であり２００ミクロンの厚みを持ったＰ型（１００）Ｓｉ基体全体は、２４分で多孔質化された。

【０１２３】Ｐ型（１００）多孔質Ｓｉ基体２１上にＭＢＥ（分子線エピタキシー：Ｍｏｌｅｃｕｌａｒ　Ｂｅａｍ　Ｅｐｉｔａｘｙ）法により、Ｓｉエピタキシャル層を０．５ミクロンの厚みに成長させた。堆積条件は、以下のとおりである。

温度：７００℃

圧力：1×10^{-9}Ｔｏｒｒ

成長速度：０．１ｎｍ／ｓｅｃ

【０１２４】次に、このエピタキシャル層２１の表面に、表面に５０００Åの酸化層２４を形成したもう一方のＳｉ基体２３を重ねあわせ、窒素雰囲気中で８００℃、０．５時間過熱することにより、２つのＳｉ基体を、強固に貼り合わせた。次いで、フッ硝酸酢酸溶液（１：３：８）を用いて多孔質Ｓｉ基体２１をエッチング除去した。

【０１２５】前述したように通常のＳｉ単結晶のフッ硝酸酢酸溶液にたいするエッチング速度は、約毎分１ミクロン弱程度（フッ硝酸酢酸溶液１：３：８）であるが、多孔質層のエッチング速度はその１００倍ほど増速される。すなわち、２００ミクロンの厚みを持った多孔質化されたＳｉ基体２１は、２分で除去された。

【０１２６】こうして、SiO_2層２４上に０．５μｍの厚みを持った単結晶Ｓｉ層２２が形成できた。

【０１２７】又、得られた単結晶Ｓｉ層の厚みを走査型エリプソメトリーを用いて調べた。具体的には、３ｉｎ

ｃｈウエハーの全面を走査させて測定した。その結果３ｉｎｃｈウエハーの面内において単結晶Ｓｉ層の厚みの最大値と最小値の差は、厚みの最大値に対して５％以下に抑えられていた。

【０１２８】又、透過電子顕微鏡による単結晶Ｓｉ層の平面観察の結果、転移欠陥密度は1×10^{3}／cm^{2}以下に抑えられており、単結晶Ｓｉ層形成工程において、新たな結晶欠陥は導入されておらず、良好な結晶性が維持されていることが確認された。

【０１２９】又、単結晶Ｓｉ層につき、ＭＯＳ　ｃ－ｔ法を用いて少数キャリアーのライフタイムを測定したところ、2.0×10^{-3}ｓｅｃという高い値を示した。

【０１３０】（実施例２）直径４ｉｎｃｈで５００ミクロンの厚みを持ったＰ型（１００）単結晶Ｓｉ基体に５０％のＨＦ溶液中において陽極化成を施した。この時の電流密度は、１００ｍＡ／cm^{2}であった。この時の多孔質化速度は、８．４μｍ／ｍｉｎ．であり５００ミクロンの厚みを持ったＰ型（１００）Ｓｉ基体全体は、６０分で多孔質化された。

【０１３１】Ｐ型（１００）多孔質Ｓｉ基体２１上にプラズマＣＶＤ法により、Ｓｉエピタキシャル層２２を０．５ミクロン低温成長させた。堆積条件は、以下のとおりである。

ガス：SiH_4

高周波電力：１００Ｗ

温度：８００℃

圧力：1×10^{-2}Ｔｏｒｒ

成長速度：２．５　ｎｍ／ｓｅｃ

【０１３２】次に、このエピタキシャル層２２の表面に、表面に５０００Åの酸化層２４を形成した別のＳｉ基体２３を重ねあわせ、窒素雰囲気中で７００℃、０．５時間過熱することにより、２つのＳｉ基体を、強固に貼り合わせた。次いで、フッ硝酸酢酸溶液（１：３：８）を用いて多孔質Ｓｉ基体２１をエッチング除去した。

【０１３３】前述したように通常のＳｉ単結晶のフッ硝酸酢酸溶液にたいするエッチング速度は、約毎分１ミクロン弱程度（フッ硝酸酢酸溶液１：３：８）であるが、多孔質層のエッチング速度はその１００倍ほど増速される。すなわち、５００ミクロンの厚みを持った多孔質化されたＳｉ基体２１は、５分で除去された。

【０１３４】SiO_2層２４上に０．５μｍの厚みを持った単結晶Ｓｉ層が形成できた。

【０１３５】又、得られた単結晶Ｓｉ層の厚みを走査型エリプソメトリーを用いて調べた。具体的には、４ｉｎｃｈウエハーの全面を走査させて測定した。その結果４ｉｎｃｈウエハーの面内において単結晶Ｓｉ層の厚みの最大値と最小値の差は、厚みの最大値に対して７％以下に抑えられていた。

【０１３６】又、透過電子顕微鏡による単結晶Ｓｉ層の平面観察の結果、転移欠陥密度は1×10^{3}／cm^{2}以下に抑えられており、単結晶Ｓｉ層形成工程において、新たな結晶欠陥は導入されておらず、良好な結晶性が維持されていることが確認された。

【０１３７】又、単結晶Ｓｉ層につき、ＭＯＳ　ｃ－ｔ法を用いて少数キャリアーのライフタイムを測定したところ、2.0×10^{-3}ｓｅｃという高い値を示した。

【０１３８】（実施例３）直径３ｉｎｃｈで２００ミクロンの厚みを持ったＰ型（１００）単結晶Ｓｉ基体（Ｓｉウエハー）に５０％のＨＦ溶液中において陽極化成を施した。この時の電流密度は、１００ｍＡ／cm^{2}であった。この時の多孔質化速度は、８．４μｍ／ｍｉｎ．であり２００ミクロンの厚みを持ったＰ型（１００）Ｓｉ基体全体は、２４分で多孔質化された。

【０１３９】Ｐ型（１００）多孔質Ｓｉ基体２１上にバイアススパッター法により、Ｓｉエピタキシャル層２２を０．５ミクロンの厚みに成長させた。堆積条件は、以下のとおりである。

ＲＦ周波数：１００ＭＨｚ

高周波電力：６００Ｗ

温度：３００℃

Ａｒガス圧力：8×10^{-3}Ｔｏｒｒ

成長時間：６０分

ターゲット直流バイアス：－２００Ｖ

基体直流バイアス：＋５Ｖ

【０１４０】次に、このエピタキシャル層２２の表面に、表面に５０００Åの酸化層２４を形成した別のＳｉ基体２３を重ねあわせ、窒素雰囲気中で８００℃、０．５時間過熱することにより、２つのＳｉ基体を、強固に貼り合わせた。次いで、フッ硝酸酢酸溶液（１：３：８）を用いて多孔質Ｓｉ基体２１をエッチング除去した。

【０１４１】前述したように通常のＳｉ単結晶のフッ硝酸酢酸溶液にたいするエッチング速度は、約毎分１ミクロン弱程度（フッ硝酸酢酸溶液１：３：８）であるが、多孔質層のエッチング速度はその１００倍ほど増速される。すなわち、２００ミクロンの厚みを持った多孔質化されたＳｉ基体２１は、２分で除去された。

【０１４２】こうして、SiO_2層２４上に０．５μｍの厚みを持った単結晶Ｓｉ層が形成できた。

【０１４３】（実施例４）直径３ｉｎｃｈで２００ミクロンの厚みを持ったＰ型（１００）単結晶Ｓｉ基体に５０％のＨＦ溶液中において陽極化成を施した。この時の電流密度は、１００ｍＡ／cm^{2}であった。この時の多孔質化速度は、８．４μｍ／ｍｉｎ．であり２００ミクロンの厚みを持ったＰ型（１００）Ｓｉ基体全体は、２４分で多孔質化された。

【０１４４】Ｐ型（１００）多孔質Ｓｉ基体２１上に液相成長法により、Ｓｉエピタキシャル層２２を０．５ミクロンの厚みに成長させた。成長条件は、以下のとおり

である。
溶媒：Ｓｎ
成長温度：９００℃
成長雰囲気：H_2
成長時間：１０分
【０１４５】次に、このエピタキシャル層２２の表面に、表面に５０００Åの酸化層２４を形成したもう一方のＳｉ基体２３を重ねあわせ、窒素雰囲気中で８００℃、０．５時間過熱することにより、２つのＳｉ基体を、強固に貼り合わせた。次いで、フッ硝酸酢酸溶液（１：３：８）を用いて多孔質Ｓｉ基体２１をエッチング除去した。すると、２００ミクロンの厚みを持った多孔質化されたＳｉ基体２１は、２分で除去された。
【０１４６】こうして、SiO_2層２４上に０．５μｍの厚みを持った単結晶Ｓｉ層２２が形成できた。
【０１４７】（実施例５）直径３ｉｎｃｈで２００ミクロンの厚みを持ったＰ型（１００）単結晶Ｓｉ基体に５０％のＨＦ溶液中において陽極化成を施した。この時の電流密度は、１００ｍA／cm^2であった。この時の多孔質化速度は、８．４μｍ／ｍｉｎ．であり２００ミクロンの厚みを持ったＰ型（１００）Ｓｉ基体全体は、２４分で多孔質化された。
【０１４８】Ｐ型（１００）多孔質Ｓｉ基体２１上に減圧ＣＶＤ法により、Ｓｉエピタキシャル層２１を０．５ミクロンの厚みに成長させた。堆積条件は、以下のとおりである。
ソースガス：SiH_4
キャリアーガス：H_2
温度：８５０℃
圧力：1×10^{-2}Ｔｏｒｒ
成長速度：３．３　ｎｍ／ｓｅｃ
【０１４９】次に、このエピタキシャル層２２の表面に、表面に５０００Åの酸化層２４を形成した別のＳｉ基体を重ねあわせ、窒素雰囲気中で８００℃、０．５時間過熱することにより、２つのＳｉ基体２３を、強固に貼り合わせた。次いで、フッ硝酸酢酸溶液（１：３：８）を用いて多孔質Ｓｉ基体２１をエッチング除去した。すると、２００ミクロンの厚みを持った多孔質化されたＳｉ基体２１は、２分で除去された。
【０１５０】こうして、SiO_2層２４上に０．５μｍの厚みを持った単結晶Ｓｉ層が形成できた。ソースガスとして、SiH_2Cl_2を用いた場合には、成長温度を数十度上昇させる必要があるが、多孔質基体に特有な増速エッチング特性は、維持された。
【０１５１】（実施例６）直径３ｉｎｃｈで２００ミクロンの厚みを持ったＰ型（１００）Ｓｉ基体１２１上にＣＶＤ法により、Ｓｉエピタキシャル層１２２を１ミクロンの厚みで成長させた。堆積条件は、以下のとおりである。
反応ガス流量：SiH_4Cl_2　１０００ＳＣＣＭ
H_2　２３０ｌ／ｍｉｎ．
温度：１０８０℃
圧力：８０Ｔｏｒｒ
時間：２ｍｉｎ．
【０１５２】この基体１２１に５０％のＨＦ溶液中において陽極化成を施した。この時の電流密度は、１００ｍA／cm^2であった。又、この時の多孔質化速度は、８．４μｍ／ｍｉｎ．であり２００ミクロンの厚みを持ったＰ型（１００）Ｓｉ基体１２１全体は、２４分で多孔質化された。この陽極化成では、Ｐ型（１００）Ｓｉ基体１２１のみが多孔質化され、Ｓｉエピタキシャル層１２２には変化がなかった。次に、このエピタキシャル層１２２の表面に、表面に５０００Åの酸化層１２５を形成した別のＳｉ基体１２４を重ねあわせ、窒素雰囲気中で８００℃、０．５時間過熱することにより、２つのＳｉ基体を、強固に貼り合わせた。次いで、フッ硝酸酢酸溶液（１：３：８）を用いて多孔質Ｓｉ基体１２３をエッチング除去した。すると、２００ミクロンの厚みを持った多孔質化されたＳｉ基体１２３は、２分で除去された。
【０１５３】又、得られた単結晶Ｓｉ層の厚みを走査型エリプソメトリーを用いて調べたところ、３ｉｎｃｈウエハーの面内において単結晶Ｓｉ層の厚みの最大値と最小値の差は、厚みの最大値に対して５％以下に抑えられていた。
【０１５４】又、透過電子顕微鏡による単結晶Ｓｉ層の平面観察の結果、転移欠陥密度は1×10^3／cm^2以下に抑えられており、単結晶Ｓｉ層形成工程において、新たな結晶欠陥は導入されておらず、良好な結晶性が維持されていることが確認された。
【０１５５】又、単結晶Ｓｉ層につき、マイクロ波反射法を用いて少数キャリアーのライフタイムを測定したところ、2.0×10^{-3}ｓｅｃという高い値を示した。
【０１５６】（実施例７）直径３ｉｎｃｈで２００ミクロンの厚みを持ったＰ型（１００）Ｓｉ基体上にＣＶＤ法により、Ｓｉエピタキシャル層１２２を０．５ミクロンの厚みにさせた。堆積条件は、以下のとおりである。
反応ガス流量：SiH_4Cl_2　１０００ＳＣＣＭ
H_2　２３０ｌ／ｍｉｎ．
温度：１０８０℃
圧力：８０Ｔｏｒｒ
時間：１ｍｉｎ．
【０１５７】この基体に５０％のＨＦ溶液中において陽極化成を施した。この時の電流密度は、１００ｍA／cm^2であった。この時の多孔質化速度は、８．４μｍ／ｍｉｎ．であり２００ミクロンの厚みを持ったＰ型（１００）Ｓｉ基体１２１全体は、２４分で多孔質化された。この陽極化成では、Ｐ型（１００）Ｓｉ基体のみが多孔質化され、Ｓｉエピタキシャル層１２２には変化がなかった。次に、このエピタキシャル層１２２の表面

に、表面に５０００Åの酸化層１２５を形成した別のＳｉ基体１２４を重ねあわせ、窒素雰囲気中で８００℃、０．５時間過熱することにより、２つのＳｉ基体を、強固に貼り合わせた。次いで、フッ硝酸酢酸溶液（１：３：８）を用いて多孔質Ｓｉ基体１２３をエッチング除去した。すると、２００ミクロンの厚みを持った多孔質化されたＳｉ基体１２３は、２分で除去された。

【０１５８】透過電子顕微鏡による断面観察の結果、Ｓｉ層１２２には新たな結晶欠陥は導入されておらず、良好な結晶性が維持されていることが確認された。

【０１５９】（実施例８）直径３ｉｎｃｈで２００ミクロンの厚みを持ったＰ型（１００）Ｓｉ基体１２１の表面にプロトンのイオン注入によって、Ｎ型Ｓｉ層１２２を１ミクロンの厚みに形成した。H^+注入量は、5×10^{15}（ｉｏｎｓ／cm^2）であった。この基体に５０％のＨＦ溶液中において陽極化成を施した。この時の電流密度は、１００ｍＡ／cm^2であった。この時の多孔質化速度は、８．４μｍ／ｍｉｎ．であり２００ミクロンの厚みを持ったＰ型（１００）Ｓｉ基体１２１全体は、２４分で多孔質化された。前述したようにこの陽極化成では、Ｐ型（１００）Ｓｉ基体１２１のみが多孔質化されＮ型Ｓｉ層１２２には変化がなかった。次に、このＮ型Ｓｉ層１２２の表面に、表面に５０００Åの酸化層１２５を形成した別のＳｉ基体１２４を重ねあわせ、窒素雰囲気中で８００℃、０．５時間過熱することにより、２つのＳｉ基体を、強固に貼り合わせた。次いで、フッ硝酸酢酸溶液（１：３：８）を用いて多孔質Ｓｉ基体１２３をエッチング除去した。すると、２００ミクロンの厚みを持った多孔質化されたＳｉ基体１２３は、２分で除去された。

【０１６０】透過電子顕微鏡による断面観察の結果、Ｓｉ層１２２には新たな結晶欠陥は導入されておらず、良好な結晶性が維持されていることが確認された。

【０１６１】（実施例９）直径３ｉｎｃｈで２００ミクロンの厚みを持ったＰ型（１００）単結晶Ｓｉ基体に５０％のＨＦ溶液中において陽極化成を施した。この時の電流密度は、１００ｍＡ／cm^2であった。この時の多孔質化速度は、８．４μｍ／ｍｉｎ．であり２００ミクロンの厚みを持ったＰ型（１００）Ｓｉ基体全体は、２４分で多孔質化された。

【０１６２】該Ｐ型（１００）多孔質Ｓｉ基体１１上にＭＢＥ（分子線エピタキシー：Ｍｏｌｅｃｕｌａｒ Ｂｅａｍ Ｅｐｉｔａｘｙ）法により、Ｓｉエピタキシャル層１２を０．５ミクロンの厚みに成長させた。堆積条件は、以下のとおりである。

温度：７００℃
圧力：1×10^{-9}Ｔｏｒｒ
成長速度：０．１　ｎｍ／ｓｅｃ

【０１６３】次に、このエピタキシャル層１２の表面に、表面に５０００Åの酸化層１４を形成した別のＳｉ基体１３を重ねあわせ、窒素雰囲気中で８００℃、０．５時間過熱することにより、２つのＳｉ基体を、強固に貼り合わせた。次いで、減圧ＣＶＤ法によってSi_3N_4を貼り合わせた２枚のＳｉ基体に０．１μｍの厚みに被覆した。この後、多孔質基体上の窒化膜のみを反応性イオンエッチングによって除去した。次いでフッ硝酸酢酸溶液（１：３：８）を用いて多孔質Ｓｉ基体１１をエッチング除去した。すると、２００ミクロンの厚みをもった多孔質化されたＳｉ基体１１は、２分で除去された。Si_3N_4層１５を除去した後には、SiO_2層１４上に０．５μｍの厚みを持った単結晶Ｓｉ層を有する基体が形成できた。

【０１６４】透過電子顕微鏡による断面観察の結果、Ｓｉ層には新たな結晶欠陥は導入されておらず、良好な結晶性が維持されていることが確認された。

【０１６５】（実施例１０）直径３ｉｎｃｈで２００ミクロンの厚みを持ったＰ型（１００）単結晶Ｓｉ基体に５０％のＨＦ溶液中において陽極化成を施した。この時の電流密度は、１００ｍＡ／cm^2であった。この時の多孔質化速度は、８．４μｍ／ｍｉｎ．であり２００ミクロンの厚みを持ったＰ型（１００）Ｓｉ基体全体は、２４分で多孔質化された。

【０１６６】該Ｐ型（１００）多孔質Ｓｉ基体１１上にプラズマＣＶＤ法により、Ｓｉエピタキシャル層１２を０．５ミクロンの厚みに成長させた。堆積条件は、以下のとおりである。

ガス：SiH_4
高周波電力：１００Ｗ
温度：８００℃
圧力：1×10^{-2}Ｔｏｒｒ
成長速度：２．５　ｎｍ／ｓｅｃ

【０１６７】次に、このエピタキシャル層１２の表面に、表面に５０００Åの酸化層１４を形成した別のＳｉ基体を重ねあわせ、窒素雰囲気中で８００℃、０．５時間過熱することにより、２つのＳｉ基体を、強固に貼り合わせた。次いで、減圧ＣＶＤ法によってSi_3N_4を貼り合わせた２枚のＳｉ基体に０．１μｍの厚みに被覆した。その後、多孔質基体１１上の窒化膜のみを反応性イオンエッチングによって除去した。次いでフッ硝酸酢酸溶液（１：３：８）を用いて多孔質Ｓｉ基体１１をエッチング除去した。すると、２００ミクロンの厚みをもった多孔質化されたＳｉ基体１１は、２分で除去された。Si_3N_4層１５を除去した後には、SiO_2上に０．５μｍの厚みを持った単結晶Ｓｉ層１２を有する基体が形成できた。

【０１６８】又、得られた単結晶Ｓｉ層の厚みを走査型エリプソメトリーを用いて調べたところ、３ｉｎｃｈウエハーの面内において単結晶Ｓｉ層の厚みの最大値と最小値の差は、厚みの最大値に対して５％以下に抑えられていた。

【０１６９】又、Ｓｉｒｔｌｅエッチングを用いた欠陥顕在化エッチングによる観察の結果、転移欠陥密度は１×１０^{3}／ｃｍ^{2}以下に抑えられており、単結晶Ｓｉ層形成工程において、新たな結晶欠陥は導入されておらず、良好な結晶性が維持されていることが確認された。

【０１７０】又、単結晶Ｓｉ層につき、ＭＯＳ　ｃ－ｔ法を用いて少数キャリアーのライフタイムを測定したところ、２．０×１０$^{-3}$ｓｅｃという高い値を示した。

【０１７１】（実施例１１）直径３ｉｎｃｈで２００ミクロンの厚みを持ったＰ型（１００）単結晶Ｓｉ基体に５０％のＨＦ溶液中において陽極化成を施した。この時の電流密度は、１００ｍＡ／ｃｍ^{2}であった。この時の多孔質化速度は、８．４μｍ／ｍｉｎ．であり２００ミクロンの厚みを持ったＰ型（１００）Ｓｉ基体全体は、２４分で多孔質化された。

【０１７２】Ｐ型（１００）多孔質Ｓｉ基体１１上にバイアススパッター法により、Ｓｉエピタキシャル層１２を０．５ミクロンの厚みに成長させた。堆積条件は、以下のとおりである。

ＲＦ周波数：１００ＭＨｚ
高周波電力：６００Ｗ
温度：３００℃
Ａｒガス圧力：８×１０$^{-3}$Ｔｏｒｒ
成長時間：６０分
ターゲット直流バイアス：－２００Ｖ
基体直流バイアス：＋５Ｖ

【０１７３】次に、このエピタキシャル層１２の表面に、表面に５０００Åの酸化層１４を形成した別のＳｉ基体を重ねあわせ、窒素雰囲気中で８００℃、０．５時間過熱することにより、２つのＳｉ基体を、強固に貼り合わせた。減圧ＣＶＤ法によってSi_3N_4を貼り合わせた２枚のＳｉ基体に０．１μｍの厚みに被覆した。その後、多孔質基体上の窒化膜のみを反応性イオンエッチングによって除去した。次いでフッ硝酸酢酸溶液（１：３：８）を用いて多孔質Ｓｉ基体１１をエッチング除去した。すると、２００ミクロンの厚みをもった多孔質化されたＳｉ基体１１は、２分で除去された。Si_3N_4層１５を除去した後には、SiO_2層１４上に０．５μｍの厚みを持った単結晶Ｓｉ層１２を有する基体が形成できた。

【０１７４】また、Si_3N_4層の代わりに、アピエゾンワックスを被覆した場合にも同様の効果があり、多孔質化されたＳｉ基体のみを完全に除去し得た。

【０１７５】（実施例１２）直径３ｉｎｃｈで２００ミクロンの厚みを持ったＰ型（１００）単結晶Ｓｉ基体に５０％のＨＦ溶液中において陽極化成を施した。この時の電流密度は、１００ｍＡ／ｃｍ^{2}であった。この時の多孔質化速度は、８．４μｍ／ｍｉｎ．であり２００ミクロンの厚みを持ったＰ型（１００）Ｓｉ基体全体は、２４分で多孔質化された。

【０１７６】Ｐ型（１００）多孔質Ｓｉ基体１１上に液相成長法により、Ｓｉエピタキシャル層１２を０．５ミクロンの厚みに成長させた。成長条件は、以下のとおりである。

溶媒：Ｓｎ
成長温度：９００℃
成長雰囲気：H_2
成長時間：１０分
ターゲット直流バイアス：－２００Ｖ
基体直流バイアス：＋５Ｖ

【０１７７】次に、このエピタキシャル層１２の表面に、表面に５０００Åの酸化層１４を形成した別のＳｉ基体１３を重ねあわせ、窒素雰囲気中で８００℃、０．５時間過熱することにより、２つのＳｉ基体を、強固に貼り合わせた。減圧ＣＶＤ法によってSi_3N_4を貼り合わせた２枚のＳｉ基体に０．１μｍの厚みに被覆させた。その後、多孔質基体上の窒化膜のみを反応性イオンエッチングによって除去した。次いでフッ硝酸酢酸溶液（１：３：８）を用いて多孔質Ｓｉ基体１１をエッチング除去した。すると、２００ミクロンの厚みをもった多孔質化されたＳｉ基体１１は、２分で除去された。Si_3N_4層１５を除去した後には、SiO_2層１４上に０．５μｍの厚みを持った単結晶Ｓｉ層１２を有する基体が形成できた。

【０１７８】また、Si_3N_4層の代わりに、アピエゾンワックスを被覆した場合にも同様の効果があり、多孔質化されたＳｉ基体のみを完全に除去し得た。

【０１７９】（実施例１３）直径３ｉｎｃｈで２００ミクロンの厚みを持ったＰ型（１００）単結晶Ｓｉ基体に５０％のＨＦ溶液中において陽極化成を施した。この時の電流密度は、１００ｍＡ／ｃｍ^{2}であった。この時の多孔質化速度は、８．４μｍ／ｍｉｎ．であり２００ミクロンの厚みを持ったＰ型（１００）Ｓｉ基体全体は、２４分で多孔質化された。

【０１８０】Ｐ型（１００）多孔質Ｓｉ基体１１上に減圧ＣＶＤ法により、Ｓｉエピタキシャル層１２を０．５ミクロンの厚みで成長させた。堆積条件は、以下のとおりである。

ソースガス：SiH_4
キャリアーガス：H_2
温度：８５０℃
圧力：１×１０$^{-2}$Ｔｏｒｒ
成長速度：３．３　ｎｍ／ｓｅｃ

【０１８１】次に、このエピタキシャル層１２の表面に、表面に５０００Åの酸化層１４を形成した別のＳｉ基体１３を重ねあわせ、窒素雰囲気中で８００℃、０．５時間過熱することにより、２つのＳｉ基体は強固に貼り合わされた。次いで、減圧ＣＶＤ法によってSi_3N_4を貼り合わせた２枚のＳｉ基体に０．１μｍの厚みで被覆させた。その後、多孔質基体１１上の窒化膜１５のみ

を反応性イオンエッチングによって除去した。次いでフッ硝酸酢酸溶液（１：３：８）を用いて多孔質Ｓｉ基体１１をエッチング除去した。すると、２００ミクロンの厚みをもった多孔質化されたＳｉ基体１１は、２分で除去された。Si_3N_4層１５を除去した後には、SiO_2層１４上に０．５μｍの厚みを持った単結晶Ｓｉ層を有する基体が形成できた。

【０１８２】ソースガスとして、SiH_2Cl_2を用いた場合には、成長温度を数十度上昇させる必要があるが、多孔質基体に特有な増速エッチング特性は、維持された。

【０１８３】（実施例１４）直径３ｉｎｃｈで２００ミクロンの厚みを持ったＰ型（１００）Ｓｉ基体１１１上にＣＶＤ法により、Ｓｉエピタキシャル層１１２を１ミクロンの厚みに成長させた。堆積条件は、以下のとおりである。

反応ガス流量：SiH_4Cl_2　１０００ＳＣＣＭ

H_2　２３０ｌ／ｍｉｎ．

温度：１０８０℃

圧力：８０Ｔｏｒｒ

時間：２ｍｉｎ．

【０１８４】この基体を５０％のＨＦ溶液中において陽極化成を行った。この時の電流密度は、１００ｍＡ／ｃm^2であった。又、この時の多孔質化速度は、８．４μｍ／ｍｉｎ．であり、２００ミクロンの厚みを持ったＰ型（１００）Ｓｉ基体全体は、２４分で多孔質化された。この陽極化成では、Ｐ型（１００）Ｓｉ基体のみが多孔質化され、Ｓｉエピタキシャル層１２２には変化がなかった。次に、このエピタキシャル層１１２の表面に、表面に５０００Åの酸化層を形成したＳｉ基体１１４を重ねあわせ、窒素雰囲気中で８００℃、０．５時間過熱することにより、２つのＳｉ基体は強固に接合された。減圧ＣＶＤ法によってSi_3N_4を、貼り合わせた２枚のＳｉ基体に０．１μｍの厚さで被覆した。次いで、多孔質基体上の窒化膜のみを反応性イオンエッチングによって除去する。次いで、フッ硝酸酢酸溶液（１：３：８）を用いて多孔質Ｓｉ基体１１をエッチング除去した。すると、２００ミクロンの厚みを持った多孔質化されたＳｉ基体１１３は、２分で除去された。

【０１８５】Si_3N_4層１１６を除去した後には、SiO_2上に１μｍの厚みを持った単結晶Ｓｉ層１１２を有する基体が形成できた。

【０１８６】又、得られた単結晶Ｓｉ層の厚みを走査型エリプソメトリーを用いて調べたところ、３ｉｎｃｈウエハーの面内において単結晶Ｓｉ層の厚みの最大値と最小値の差は、厚みの最大値に対して５％以下に抑えられていた。

【０１８７】又、透過電子顕微鏡による単結晶Ｓｉ層の平面観察の結果、転移欠陥密度は1×10^3／ｃm^2以下に抑えられており、単結晶Ｓｉ層形成工程において、新たな結晶欠陥は導入されておらず、良好な結晶性が維持されていることが確認された。

【０１８８】又、単結晶Ｓｉ層につき、ＭＯＳ　ｃ－ｔ法を用いて少数キャリアーのライフタイムを測定したところ、2.0×10^{-3}ｓｅｃという高い値を示した。

【０１８９】（実施例１５）直径３ｉｎｃｈで２００ミクロンの厚みを持ったＰ型（１００）Ｓｉ基体１１１上にＣＶＤ法により、Ｓｉエピタキシャル層１１２を０．５ミクロンの厚みに成長させた。堆積条件は、以下のとおりである。

反応ガス流量：SiH_2Cl_2　１０００ＳＣＣＭ

H_2　２３０ｌ／ｍｉｎ．

温度：１０８０℃

圧力：８０Ｔｏｒｒ

時間：１ｍｉｎ．

【０１９０】この基体に５０％のＨＦ溶液中において陽極化成を施した。この時の電流密度は、１００ｍＡ／ｃm^2であった。この時の多孔質化速度は、８．４μｍ／ｍｉｎ．であり２００ミクロンの厚みを持ったＰ型（１００）Ｓｉ基体１１１全体は、２４分で多孔質化された。この陽極化成では、Ｐ型（１００）Ｓｉ基体１１のみが多孔質化されＳｉエピタキシャル層１１２には変化がなかった。

【０１９１】次に、このエピタキシャル層１１２の表面に、表面に５０００Åの酸化層を形成したＳｉ基体１１４を重ね合わせ、窒素雰囲気中で８００℃、０．５時間加熱することにより、両者のＳｉ基体を、強固に貼り合わせた。次いで、減圧ＣＶＤ法によってSi_3N_4を、貼り合わせた２枚のＳｉ基体に０．１μｍの厚みに被覆した。続いて、多孔質化基体１１３上の窒化膜１１６のみを反応性イオンエッチングによって除去した。次いで、フッ硝酸酢酸溶液（１：３：８）を用いて、多孔質Ｓｉ基体１１３をエッチング除去した。すると、２００ミクロンの厚みを持った多孔質化されたＳｉ基体１１３は、２分で除去された。Si_3N_4層１１６を除去した後には、SiO_2層１１５上に０．５μｍの厚みを持った単結晶Ｓｉ層１１２を有する基体が形成できた。透過電子顕微鏡による断面観察の結果、Ｓｉ層には新たな結晶欠陥は導入されておらず、良好な結晶性が維持されていることが確認された。

【０１９２】（実施例１６）直径３ｉｎｃｈで２００ミクロンの厚みを持ったＰ型（１００）Ｓｉ基体１１１の表面にプロトンのイオン注入によって、Ｎ型Ｓｉ層１１２を１ミクロンの厚みで形成した。H^+注入量は、5×10^{15}（ｉｏｎｓ／ｃm^2）であった。この基体に５０％のＨＦ溶液中において陽極化成を施した。この時の電流密度は、１００ｍＡ／ｃm^2であった。この時の多孔質化速度は、８．４μｍ／ｍｉｎ．であり、２００ミクロンの厚みを持ったＰ型（１００）Ｓｉ基体１１１全体は、２４分で多孔質化された。この陽極化成では、Ｐ型

（１００）Ｓｉ基体１１１のみが多孔質化され、Ｎ型Ｓｉ層１１２には変化がなかった。次に、このＮ型Ｓｉ層１１２の表面に、表面に５０００Åの酸化層１１５を形成した別のＳｉ基体１１４を重ね合わせ、酸素雰囲気中で８００℃、０．５時間加熱することにより、２つのＳｉ基体を、強固に貼り合わせた。次いで、減圧ＣＶＤ法によってSi_3N_4を貼り合わせた２枚のＳｉ基体に０．１μｍの厚みで被覆した。次に、多孔質基体上の窒化膜のみを反応性イオンエッチングによって除去した。次いで、フッ硝酸酢酸溶液（１：３：８）を用いて多孔質Ｓｉ基体１１３をエッチング除去した。すると、２００ミクロンの厚みを持った多孔質化されたＳｉ基体１１３は、２分で除去された。Si_3N_4層１１６を除去した後には、SiO_2上に１．０μｍの厚みを持った単結晶Ｓｉ層１１２を有する基体が形成できた。透過電子顕微鏡による断面観察の結果、Ｓｉ層には新たな結晶欠陥は導入されておらず、良好な結晶性が維持されていることが確認された。

【０１９３】（実施例１７）直径３ｉｎｃｈで２００ミクロンの厚みを持ったＰ型（１００）単結晶Ｓｉ基体に５０％のＨＦ溶液中において陽極化成を施した。この時の電流密度は、１００ｍＡ／cm^2であった。この時の多孔質化速度は、８．４μｍ／ｍｉｎ．であり２００ミクロンの厚みを持ったＰ型（１００）Ｓｉ基体全体は、２４分で多孔質化された。

【０１９４】Ｐ型（１００）多孔質Ｓｉ基体３１上にＭＢＥ（分子線エピタキシー：Ｍｏｌｅｃｕｌａｒ Ｂｅａｍ Ｅｐｉｔａｘｙ）法により、Ｓｉエピタキシャル層３２を０．５ミクロンの厚みに成長させた。堆積条件は、以下のとおりである。

温度：７００℃

圧力：1×10^{-9}Ｔｏｒｒ

成長速度：０．１　ｎｍ／ｓｅｃ

【０１９５】次に、このエピタキシャル層３２の表面に厚み１０００Åの酸化層３６を形成した。表面に５０００Åの酸化層３４を形成した別のＳｉ基体３３と前記酸化層３６とを重ね合わせ窒素雰囲気中で８００℃、０．５時間加熱することにより、両者を強固に貼り合わせた。減圧ＣＶＤ法によってSi_3N_4を、貼り合わせた２枚のＳｉ基体に０．１μｍの厚みで被覆した。次いで、多孔質基体上の窒化膜のみを反応性イオンエッチングによって除去した。次いで、フッ硝酸酢酸溶液（１：３：８）を用いて多孔質Ｓｉ基体３１をエッチング除去した。すると、２００ミクロンの厚みを持った多孔質化されたＳｉ基体３１は、２分で除去された。Si_3N_4層３５を除去した後には、SiO_2上に薄膜単結晶Ｓｉ層３２を有する基体が形成できた。透過電子顕微鏡による断面観察の結果、Ｓｉ層には新たな結晶欠陥は導入されておらず、良好な結晶性が維持されていることが確認された。

【０１９６】（実施例１８）直径３ｉｎｃｈで２００ミクロンの厚みを持ったＰ型（１００）単結晶Ｓｉ基体に５０％のＨＦ溶液中において陽極化成を施した。この時の電流密度は、１００ｍＡ／cm^2であった。この時の多孔質化速度は、８．４μｍ／ｍｉｎ．であり２００ミクロンの厚みを持ったＰ型（１００）Ｓｉ基体全体は、２４分で多孔質化された。該Ｐ型（１００）多孔質Ｓｉ基体３１上にプラズマＣＶＤ法により、Ｓｉエピタキシャル層３２を５ミクロンの厚みに成長させた。堆積条件は、以下のとおりである。

ガス：SiH_4

高周波電力：１００Ｗ

温度：８００℃

圧力：1×10^{-2}Ｔｏｒｒ

成長速度：２．５　ｎｍ／ｓｅｃ

【０１９７】次に、このエピタキシャル層３２の表面に厚み１０００Åの酸化層３６を形成した。その後、表面に５０００Åの酸化層３４を形成した別のＳｉ基体３３と前記酸化層３６とを重ね合わせ、窒素雰囲気中で８００℃、０．５時間加熱することにより、両者を強固に貼り合わせた。減圧ＣＶＤ法によってSi_3N_4を貼り合わせた２枚のＳｉ基体に０．１μｍの厚みで被覆した。次いで、多孔質基体上の窒化膜のみを反応性イオンエッチングによって除去した。次いで、ＫＯＨ溶液（６Ｍ）を用いて多孔質Ｓｉ基体３１をエッチング除去した。すると、２００ミクロンの厚みを持った多孔質化されたＳｉ基体３１は、２分で除去された。Si_3N_4層を除去した後には、SiO_2上に良好な結晶性を有する単結晶Ｓｉ層３２を有する基体が形成できた。

【０１９８】又、得られた単結晶Ｓｉ層の厚みを走査型エリプソメトリーを用いて調べたところ、３ｉｎｃｈウエハーの面内において、単結晶Ｓｉ層の厚みの最大値と最小値の差は、厚みの最大値に対して５％以下に抑えられていた。

【０１９９】又、透過電子顕微鏡による単結晶Ｓｉ層の平面観察の結果、転移欠陥密度は1×10^3／cm^2以下に抑えられており、単結晶Ｓｉ層形成工程において、新たな結晶欠陥は導入されておらず、良好な結晶性が維持されていることが確認された。

【０２００】又、単結晶Ｓｉ層につき、ＭＯＳ　ｃ－ｔ法を用いて少数キャリアーのライフタイムを測定したところ、2.0×10^{-3}ｓｅｃという高い値を示した。

【０２０１】（実施例１９）直径３ｉｎｃｈで２００ミクロンの厚みを持ったＰ型（１００）単結晶Ｓｉ基体に５０％のＨＦ溶液中において陽極化成を施した。この時の電流密度は、１００ｍＡ／cm^2であった。この時の多孔質化速度は、８．４μｍ／ｍｉｎ．であり、２００ミクロンの厚みを持ったＰ型（１００）Ｓｉ基体全体は、２４分で多孔質化された。該Ｐ型（１００）多孔質Ｓｉ基体上３１にバイアススパッター法により、Ｓｉエ

ピタキシャル層３２を１ミクロンの厚みに成長させた。堆積条件は、以下のとおりである。

ＲＦ周波数：１００ＭＨｚ

高周波電力：６００Ｗ

温度：３００℃

Ａｒガス圧力：８×１０$^{-3}$Ｔｏｒｒ

成長時間：１２０分

ターゲット直流バイアス：－２００Ｖ

基体直流バイアス：＋５Ｖ

【０２０２】次に、このエピタキシャル層３２の表面に厚み１０００Åの酸化層３６を形成した。その後、表面に５０００Åの酸化層３４を形成した別のＳｉ基体３３と前記酸化層３６とを重ね合わせ、窒素雰囲気中で８００℃、０．５時間加熱することにより、両者を強固に貼り合わせた。減圧ＣＶＤ法によってSi_3N_4を貼り合わせた２枚のＳｉ基体に０．１μｍの厚みで被覆した。次いで、多孔質基体３１上の窒化膜のみを反応性イオンエッチングによって除去した。次いで、フッ硝酸酢酸溶液（１：３：８）を用いて多孔質Ｓｉ基体３１をエッチング除去した。すると、２００ミクロンの厚みを持った多孔質化されたＳｉ基体３１は、２分で除去された。Si_3N_4層を除去した後には、SiO_2上に結晶性を有する単結晶Ｓｉ層３２を有する基体が形成できた。

【０２０３】また、Si_3N_4層３５の代わりに、アピエゾンワックスを被覆した場合にも同様の効果があり、多孔質化されたＳｉ基体３５のみを完全に除去し得た。

【０２０４】（実施例２０）直径３ｉｎｃｈで２００ミクロンの厚みを持ったＰ型（１００）単結晶Ｓｉ基体に５０％のＨＦ溶液中において陽極化成を施した。この時の電流密度は、１００ｍＡ／ｃｍ^{2}であった。この時の多孔質化速度は、８．４μｍ／ｍｉｎ．であり、２００ミクロンの厚みを持ったＰ型（１００）Ｓｉ基体全体は、２４分で多孔質化された。該Ｐ型（１００）多孔質Ｓｉ基体３１上に液相成長法により、Ｓｉエピタキシャル層３２を５ミクロンの厚みに成長させた。成長条件は、以下のとおりである。

溶媒：Ｓｎ

成長温度：９００℃

成長雰囲気：H_2

成長時間：１０分

【０２０５】次に、このエピタキシャル層３２の表面に厚み１０００Åの酸化層３６を形成した。その後、表面に５０００Åの酸化層３４を形成した別のＳｉ基体３３と前記酸化層３６とを密着させ、７００℃、０．５時間加熱することにより、両者を強固に貼り合わせた。減圧ＣＶＤ法によってSi_3N_4を、貼り合わせた２枚のＳｉ基体に０．１μｍの厚みで被覆した。次いで、多孔質基体上の窒化膜のみを反応性イオンエッチングによって除去した。次いで、フッ硝酸酢酸溶液（１：３：８）を用いて多孔質Ｓｉ基体３１をエッチング除去した。すると、２００ミクロンの厚みを持った多孔質化されたＳｉ基体３１は、２分で除去された。Si_3N_4層３５を除去した後には、SiO_2上に単結晶Ｓｉ層３２を有する基体が形成できた。また、Si_3N_4層の代わりに、アピエゾンワックスを被覆した場合にも同様の効果があり、多孔質化されたＳｉ基体のみを完全に除去し得た。

【０２０６】又、得られた単結晶Ｓｉ層の厚みを走査型エリプソメトリーを用いて調べたところ、３ｉｎｃｈウエハーの面内において、単結晶Ｓｉ層の厚みの最大値と最小値の差は、厚みの最大値に対して５％以下に抑えられていた。

【０２０７】又、透過電子顕微鏡による単結晶Ｓｉ層の平面観察の結果、転移欠陥密度は１×１０^3／ｃｍ^{2}以下に抑えられており、単結晶Ｓｉ層形成工程において、新たな結晶欠陥は導入されておらず、良好な結晶性が維持されていることが確認された。

【０２０８】又、単結晶Ｓｉ層につき、ＭＯＳ　ｃ－ｔ法を用いて少数キャリアーのライフタイムを測定したところ、２．０×１０$^{-3}$ｓｅｃという高い値を示した。

【０２０９】（実施例２１）直径３ｉｎｃｈで２００ミクロンの厚みを持ったＰ型（１００）単結晶Ｓｉ基体に５０％のＨＦ溶液中において陽極化成を施した。この時の電流密度は、１００ｍＡ／ｃｍ^{2}であった。この時の多孔質化速度は、８．４μｍ／ｍｉｎ．であり、２００ミクロンの厚みを持ったＰ型（１００）Ｓｉ基体全体は、２４分で多孔質化された。Ｐ型（１００）多孔質Ｓｉ基体３１上に減圧ＣＶＤ法により、Ｓｉエピタキシャル層３２を１．０ミクロン低温成長させた。堆積条件は、以下のとおりである。

ソースガス：SiH_4

キャリヤーガス：H_2

温度：８５０℃

圧力：１×１０$^{-2}$Ｔｏｒｒ

成長速度：３．３　ｎｍ／ｓｅｃ

【０２１０】次に、このエピタキシャル層３２の表面に厚み１０００Åの酸化層３６を形成した。その後、表面に５０００Åの酸化層３４を形成した別のＳｉ基体３３と前記酸化層３６とを密着させ、７００℃、０．５時間加熱することにより、両者を強固に貼り合わせた。減圧ＣＶＤによってSi_3N_4を、貼り合わせた２枚のＳｉ基体に０．１μｍの厚みで被覆した。次いで、多孔質基体３１上の窒化膜３５のみを反応性イオンエッチングによって除去した。次いで、フッ硝酸酢酸溶液（１：３：８）を用いて多孔質Ｓｉ基体３１をエッチング除去した。すると、２００ミクロンの厚みを持った多孔質化されたＳｉ基体３１は、２分で除去された。Si_3N_4層３５を除去した後には、SiO_2上に単結晶Ｓｉ層３２を有する基体が形成できた。

【０２１１】ソースガスとして、SiH_2Cl_2を用いた場合には、成長温度を数十度上昇させる必要があるが、

多孔質基体に特有な増速エッチング特性は、維持された。

【0212】（実施例22）直径3inchで200ミクロンの厚みを持ったP型（100）Si基体131上にCVD法により、Siエピタキシャル層132を1ミクロンの厚みで成長させた。堆積条件は、以下のとおりである。

反応ガス流量：SiH_2Cl_2　1000SCCM

H_2　230l／min.

温度：1080℃

圧力：80Torr

時間：2min.

【0213】この基体に50％のHF溶液中において陽極化成を施した。この時の電流密度は、100mA／cm^2であった。また、この時の多孔質化速度は、8.4μm／min.であり、200ミクロンの厚みを持ったP型（100）Si基体全体131は、24分で多孔質化された。前述したようにこの陽極化成では、P型（100）Si基体131のみが多孔質化され、Siエピタキシャル層132には変化がなかった。次に、このエピタキシャル層132の表面に酸化層137を形成し、表面に5000Åの酸化層135を形成した別のSi基体134と前記酸化層137とを重ね合わせ、窒素雰囲気中で800℃、0.5時間加熱することにより、2つのSi基体を、強固に貼り合わせた。減圧CVD法によってSi_3N_4を貼り合わせた2枚のSi基体に0.1μmの厚みで被覆した。その後、多孔質基体上の窒化膜のみを反応性イオンエッチングによって除去した。次いで、フッ硝酸酢酸溶液（1：3：8）を用いて多孔質Si基体133をエッチング除去した。すると、200ミクロンの厚みを持った多孔質化されたSi基体133は、2分で除去された。Si_3N_4層136を除去した後には、SiO_2上に1μmの厚みを持った単結晶Si層132を有する基体が形成できた。

【0214】透過電子顕微鏡による断面観察の結果、Si層には新たな結晶欠陥は導入されておらず、良好な結晶性が維持されていることが確認された。

【0215】（実施例23）直径4inchで500ミクロンの厚みを持ったP型（100）Si基体131上にCVD法により、Siエピタキシャル層132を0.5ミクロンの厚みで成長させた。堆積条件は、以下のとおりである。

反応ガス流量：SiH_2Cl_2　1000SCCM

H_2　230l／min.

温度：1080℃

圧力：80Torr

時間：1min.

【0216】この基体に50％のHF溶液中において陽極化成を行った。この時の電流密度は、100mA／cm^2であった。この時の多孔質化速度は、8.4μm／min.であり、500ミクロンの厚みを持ったP型（100）Si基体全体131全体を多孔質化させた。この陽極化成では、P型（100）Si基体131のみが多孔質化され、Siエピタキシャル層132には変化がなかった。

【0217】次に、このエピタキシャル層132の表面に厚み1000Åの酸化層137を形成した。その後、表面に5000Åの酸化層135を形成した別のSi基体134と前記酸化層137とを密着させ、700℃、0.5時間加熱することにより、両者を強固に貼り合わせた。減圧CVDによってSi_3N_4を、貼り合わせた2枚のSi基体を被覆して0.1μm堆積して、多孔質基体133上の窒化膜136のみを反応性イオンエッチングによって除去した。次いで、フッ硝酸酢酸溶液（1：3：8）を用いて多孔質Si基体をエッチング除去した。すると、500ミクロンの厚みを持った多孔質化されたSi基体は、7分で除去された。Si_3N_4層136を除去した後には、SiO_2上に単結晶Si層132を有する基体が形成できた。

【0218】又、得られた単結晶Si層の厚みを走査型エリプソメトリーを用いて調べたところ、4inchウエハーの面内において、単結晶Si層の厚みの最大値と最小値の差は、厚みの最大値に対して8％以下に抑えられていた。

【0219】又、透過電子顕微鏡による単結晶Si層の平面観察の結果、転移欠陥密度は1×10^3／cm^2以下に抑えられており、単結晶Si層形成工程において、新たな結晶欠陥は導入されておらず、良好な結晶性が維持されていることが確認された。

【0220】又、単結晶Si層につき、MOS　c－t法を用いて少数キャリアーのライフタイムを測定したところ、2.1×10^{-3}secという高い値を示した。

【0221】（実施例24）直径3inchで200ミクロンの厚みを持ったP型（100）Si基体131の表面にプロトンのイオン注入によって、N型Si層132を1ミクロンの厚みで形成した。H^+注入量は、5×10^{15}（ions／cm^2）であった。この基体に50％のHF溶液中において陽極化成を施した。この時の電流密度は、100mA／cm^2であった。この時の多孔質化速度は、8.4μm／min.であり、200ミクロンの厚みを持ったP型（100）Si基体131全体は、24分で多孔質化された。この陽極化成では、P型（100）Si基体131のみが多孔質化され、N型Si層132には変化がなかった。次に、このエピタキシャル層132の表面に、1000Åの厚みの酸化層137を形成した。その後、表面に5000Åの酸化層135を形成した別のSi基体134と前記酸化層137とを密着させ、700℃、0.5時間加熱することにより、2つのSi基体を、強固に貼り合わせた。減圧CVD法によってSi_3N_4、を貼り合わせた2枚のSi基体

に０．１μｍの厚みで被覆した。次いで、多孔質基体上の窒化膜のみを反応性イオンエッチングによって除去した。次いで、フッ硝酸酢酸溶液（１：３：８）を用いて多孔質Ｓｉ基体１３３をエッチング除去した。すると、２００ミクロンの厚みを持った多孔質化されたＳｉ基体は、２分で除去された。Si_3N_4層１３６を除去した後には、SiO_2上に単結晶Ｓｉ層１３２を有する基体が形成できた。透過電子顕微鏡による断面観察の結果、Ｓｉ層には新たな結晶欠陥は導入されておらず、良好な結晶性が維持されていることが確認された。

【０２２２】（実施例２５）直径３ｉｎｃｈで２００ミクロンの厚みを持ったＰ型（１００）単結晶Ｓｉ基体に５０％のＨＦ溶液中において陽極化成を施した。この時の電流密度は、１００ｍＡ／cm^2であった。この時の多孔質化速度は、８．４μｍ／ｍｉｎ．であり２００ミクロンの厚みを持ったＰ型（１００）Ｓｉ基体全体は、２４分で多孔質化された。

【０２２３】Ｐ型（１００）多孔質Ｓｉ基体４１上にＭＢＥ（分子線エピタキシー：Ｍｏｌｅｃｕｌａｒ Ｂｅａｍ Ｅｐｉｔａｘｙ）法により、Ｓｉエピタキシャル層４２を０．５ミクロンの厚みで成長させた。堆積条件は、以下のとおりである。

温度：７００℃
圧力：1×10^{-9}Ｔｏｒｒ
成長速度：０．１ ｎｍ／ｓｅｃ

【０２２４】次に、このエピタキシャル層４２の表面に厚み１０００Åの酸化層４５を形成した。その後、表面に５０００Åの酸化層４４を形成した別のＳｉ基体４３と前記酸化層４５とを重ね合わせ、窒素雰囲気中で８００℃、０．５時間加熱することにより、２つのＳｉ基体を強固に貼り合わせた。次いで、フッ硝酸酢酸溶液（１：３：８）を用いて多孔質Ｓｉ基体４１をエッチング除去した。すると、２００ミクロンの厚みを持った多孔質化されたＳｉ基体４１は、２分で除去された。

【０２２５】SiO_2上に薄膜単結晶Ｓｉ層４２を有する基体が形成できた。透過電子顕微鏡による断面観察の結果、Ｓｉ層には新たな結晶欠陥は導入されておらず、良好な結晶性が維持されていることが確認された。

【０２２６】（実施例２６）直径３ｉｎｃｈで２００ミクロンの厚みを持ったＰ型（１００）単結晶Ｓｉ基体に５０％のＨＦ溶液中において陽極化成を施した。この時の電流密度は、１００ｍＡ／cm^2であった。この時の多孔質化速度は、８．４μｍ／ｍｉｎ．であり２００ミクロンの厚みを持ったＰ型（１００）Ｓｉ基体全体は、２４分で多孔質化された。該Ｐ型（１００）多孔質Ｓｉ基体４１上にプラズマＣＶＤ法により、Ｓｉエピタキシャル層４２を５ミクロンの厚みに成長させた。堆積条件は、以下のとおりである。

ガス：SiH_4
高周波電力：１００Ｗ
温度：８００℃
圧力：1×10^{-2}Ｔｏｒｒ
成長速度：２．５ ｎｍ／ｓｅｃ

【０２２７】次に、このエピタキシャル層４２の表面に厚み１０００Åの酸化層４５を形成した。その後、表面に５０００Åの酸化層４４を形成した別のＳｉ基体４３と前記酸化層４５とを重ね合わせ、窒素雰囲気中で８００℃、０．５時間加熱することにより、２つのＳｉ基体を強固に貼り合わせた。次いで、６ＭのＫＯＨ溶液を用いて多孔質Ｓｉ基体４１をエッチング除去した。

【０２２８】前述したように通常のＳｉ単結晶のＫＯＨ ６Ｍ、溶液に対するエッチング速度は、約毎分１ミクロン弱程度であるが、多孔質層のエッチング速度はその百倍ほど増速される。すると、２００ミクロンの厚みを持った多孔質化されたＳｉ基体は、２分で除去された。

【０２２９】SiO_2上に良好な結晶性を有する単結晶Ｓｉ層が形成できた。

【０２３０】（実施例２７）直径５ｉｎｃｈで６００ミクロンの厚みを持ったＰ型（１００）単結晶Ｓｉ基体に５０％のＨＦ溶液中において陽極化成を施した。この時の電流密度は、１００ｍＡ／cm^2であった。この時の多孔質化速度は、８．４μｍ／ｍｉｎ．であり６００ミクロンの厚みを持ったＰ型（１００）Ｓｉ基体全体は、７０分で多孔質化された。Ｐ型（１００）多孔質Ｓｉ基体４１上にバイアス　スパッター法により、Ｓｉエピタキシャル層４２を１ミクロンの厚みに成長させた。堆積条件は、以下のとおりである。

ＲＦ周波数：１００ＭＨｚ
高周波電力：６００Ｗ
温度：３００℃
Ａｒガス圧力：8×10^{-3}Ｔｏｒｒ
成長時間：１２０分
ターゲット直流バイアス：－２００Ｖ
基体直流バイアス：＋５Ｖ

【０２３１】次に、このエピタキシャル層４２の表面に厚み１０００Åの酸化層４５を形成した。その後、表面に５０００Åの酸化層４４を形成した別のＳｉ基体４３を重ね合わせ、窒素雰囲気中で８００℃、０．５時間加熱することにより、２つのＳｉ基体を強固に貼り合わせた。次いで、フッ硝酸酢酸溶液（１：３：８）を用いて多孔質Ｓｉ基体４１をエッチング除去した。すると、６００ミクロンの厚みを持った多孔質化されたＳｉ基体４１は、７分で除去された。

【０２３２】SiO_2上に良好な結晶性を有する単結晶Ｓｉ層４２を有する基体が形成できた。

【０２３３】又、得られた単結晶Ｓｉ層の厚みを走査型エリプソメトリーを用いて調べたところ、５ｉｎｃｈウエハーの面内において、単結晶Ｓｉ層の厚みの最大値と最小値の差は、厚みの最大値に対して８％以下に抑えられていた。

【０２３４】又、透過電子顕微鏡による単結晶Ｓｉ層の平面観察の結果、転移欠陥密度は1×10^3／cm^2以下に抑えられており、単結晶Ｓｉ層形成工程において、新たな結晶欠陥は導入されておらず、良好な結晶性が維持されていることが確認された。

【０２３５】又、単結晶Ｓｉ層につき、ＭＯＳ　ｃ－ｔ法を用いて少数キャリアーのライフタイムを測定したところ、2.1×10^{-3}ｓｅｃという高い値を示した。

【０２３６】（実施例２８）直径３ｉｎｃｈで２００ミクロンの厚みを持ったＰ型（１００）単結晶Ｓｉ基体に５０％のＨＦ溶液中において陽極化成を行った。この時の電流密度は、１００ｍＡ／cm^2であった。この時の多孔質化速度は、８．４μｍ／ｍｉｎ．であり２００ミクロンの厚みを持ったＰ型（１００）Ｓｉ基体全体は、２４分で多孔質化された。Ｐ型（１００）多孔質Ｓｉ基体４１上に液相成長法により、Ｓｉエピタキシャル層４２を５ミクロンの厚みに成長させた。成長条件は、以下のとおりである。

溶媒：Ｓｎ

成長温度：９００℃

成長雰囲気：H_2

成長時間：１０分

【０２３７】次に、このエピタキシャル層４２の表面に厚み１０００Åの酸化層４５を形成した。その後、表面に５０００Åの酸化層４４を形成した別のＳｉ基体４３を密着させ、７００℃、０．５時間加熱することにより、２つのＳｉ基体を強固に貼り合わせた。次いで、フッ硝酸酢酸溶液（１：３：８）を用いて多孔質Ｓｉ基体４１をエッチング除去した。すると、２００ミクロンの厚みを持った多孔質化されたＳｉ基体４１は、２分で除去された。

【０２３８】SiO_2上に単結晶Ｓｉ層を有する基体が形成できた。

【０２３９】（実施例２９）直径３ｉｎｃｈで２００ミクロンの厚みを持ったＰ型（１００）単結晶Ｓｉ基体を５０％のＨＦ溶液中において陽極化成を行った。この時の電流密度は、１００ｍＡ／cm^2であった。この時の多孔質化速度は、８．４μｍ／ｍｉｎ．であり２００ミクロンの厚みを持ったＰ型（１００）Ｓｉ基体全体は、２４分で多孔質化された。Ｐ型（１００）多孔質Ｓｉ基体４１上に減圧ＣＶＤ法により、Ｓｉエピタキシャル層４２を０．１ミクロンの厚みに成長させた。堆積条件は、以下のとおりである。

ソースガス：SiH_4

キャリヤーガス：H_2

温度：８５０℃

圧力：1×10^{-2}Ｔｏｒｒ

成長速度：３．３　ｎｍ／ｓｅｃ

【０２４０】次に、このエピタキシャル層４２の表面に厚み１０００Åの酸化層４５を形成した。その後、表面に５０００Åの酸化層４４を形成した別のＳｉ基体４３を密着させ、７００℃、０．５時間加熱することにより、２つのＳｉ基体を強固に貼り合わせた。次いで、フッ硝酸酢酸溶液（１：３：８）を用いて多孔質Ｓｉ基体４１をエッチング除去した。すると、２００ミクロンの厚みをもった多孔質化されたＳｉ基体４１は、２分で除去された。

【０２４１】SiO_2上に単結晶Ｓｉ層４２を有する基体が形成できた。ソースガスとして、SiH_2Cl_2をもちいた場合には、成長温度を数十度上昇させる必要があるが、多孔質基体に特有な増速エッチング特性は、維持された。

【０２４２】（実施例３０）直径３ｉｎｃｈで２００ミクロンの厚みを持ったＰ型（１００）Ｓｉ基体１４１上にＣＶＤ法により、Ｓｉエピタキシャル層１４２を１ミクロンの厚みで成長させた。堆積条件は、以下のとおりである。

反応ガス流量：SiH_2Cl_2　１０００ＳＣＣＭ

H_2　２３０ｌ／ｍｉｎ．

温度：１０８０℃

圧力：８０Ｔｏｒｒ

時間：２ｍｉｎ．

【０２４３】この基体を５０％のＨＦ溶液中において陽極化成を行った。この時の電流密度は、１００ｍＡ／cm^2であった。又、この時の多孔質化速度は、８．４μｍ／ｍｉｎ．であり２００ミクロンの厚みを持ったＰ型（１００）Ｓｉ基体全体を多孔質化させた。この陽極化成では、Ｐ型（１００）Ｓｉ基体１４１のみが多孔質化され、Ｓｉエピタキシャル層１４２には変化がなかった。次に、このエピタキシャル層１４２の表面に、表面に５０００Åの酸化層１４５を形成した別のＳｉ基体１４４を重ねあわせ、窒素雰囲気中で８００℃、０．５時間加熱することにより、２つのＳｉ基体を、強固に貼り合わせた。次いで、フッ硝酸酢酸溶液（１：３：８）を用いて多孔質Ｓｉ基体をエッチング除去した。すると、２００ミクロンの厚みをもった多孔質化されたＳｉ基体は、２分で除去された。

【０２４４】SiO_2上に１μｍの厚みを持った単結晶Ｓｉ層１４２を有する基体が形成できた。透過電子顕微鏡による断面観察の結果、Ｓｉ層には新たな結晶欠陥は導入されておらず、良好な結晶性が維持されていることが確認された。

【０２４５】（実施例３１）直径３ｉｎｃｈで２００ミクロンの厚みを持ったＰ型（１００）Ｓｉ基体１４１上にＣＶＤ法により、Ｓｉエピタキシャル層１４２を０．５ミクロンの厚みで成長させた。堆積条件は、以下のとおりである。

反応ガス流量：SiH_2Cl_2　１０００ＳＣＣＭ

H_2　２３０ｌ／ｍｉｎ．

温度：１０８０℃

圧力：８０Ｔｏｒｒ
時間：１ｍｉｎ．

【０２４６】この基体に５０％のＨＦ溶液中において陽極化成を施した。この時の電流密度は、１００ｍＡ／ｃｍ^{2}であった。この時の多孔質化速度は、８．４μｍ／ｍｉｎ．であり２００ミクロンの厚みを持ったＰ型（１００）Ｓｉ基体１４１全体は、２４分で多孔質化された。この陽極化成では、Ｐ型（１００）Ｓｉ基体１４１のみが多孔質化されＳｉエピタキシャル層１４２には変化がなかった。

【０２４７】次に、このエピタキシャル層１４２の表面に厚み１０００Åの酸化層１４６を形成した。その後、表面に５０００Åの酸化層１４５を形成した別のＳｉ基体を密着させ、７００℃、０．５時間過熱することにより、２つのＳｉ基体を、強固に貼り合わせた。次いで、フッ硝酸酢酸溶液（１：３：８）を用いて多孔質Ｓｉ基体をエッチング除去した。すると、２００ミクロンの厚みをもった多孔質化されたＳｉ基体は、２分で除去された。

【０２４８】ＳｉO_2上に単結晶Ｓｉ層を有する基体が形成できた。透過電子顕微鏡による断面観察の結果、Ｓｉ層には新たな結晶欠陥は導入されておらず、良好な結晶性が維持されていることが確認された。

【０２４９】（実施例３２）直径３ｉｎｃｈで２００ミクロンの厚みを持ったＰ型（１００）Ｓｉ基体１４１の表面にプロトンのイオン注入によって、N型Ｓｉ層１４２を１ミクロンの厚みに形成した。H^+注入量は、５×１０^{15}（ｉｏｎｓ／ｃｍ^2）であった。この基体に５０％のＨＦ溶液中において陽極化成を施した。この時の電流密度は、１００ｍＡ／ｃｍ^{2}であった。この時の多孔質化速度は、８．４μｍ／ｍｉｎ．であり、２００ミクロンの厚みを持ったＰ型（１００）Ｓｉ基体全体は、２４分で多孔質化された。この陽極化成では、Ｐ型（１００）Ｓｉ基体１４１のみが多孔質化されN型Ｓｉ層１４２には変化がなかった。次に、このエピタキシャル層１４２の表面に厚み１０００Åの酸化層１４６を形成した。その後、表面に５０００Åの酸化層１４５を形成した別のＳｉ基体と前記酸化層１４６とを密着させ、７００℃、０．５時間過熱することにより、２つのＳｉ基体を、強固に貼り合わせた。次いで、フッ硝酸酢酸溶液（１：３：８）を用いて多孔質Ｓｉ基体をエッチング除去した。すると、２００ミクロンの厚みをもった多孔質化されたＳｉ基体は、２分で除去された。

【０２５０】ＳｉO_2上に単結晶Ｓｉ層を有する基体が形成できた。

【０２５１】又、得られた単結晶Ｓｉ層の厚みを走査型エリプソメトリーを用いて調べたところ、３ｉｎｃｈウエハーの面内において単結晶Ｓｉ層の厚みの最大値と最小値の差は、厚みの最大値に対して５％以下に抑えられていた。

【０２５２】又、透過電子顕微鏡による単結晶Ｓｉ層の平面観察の結果、転移欠陥密度は１×１０^3／ｃｍ^{2}以下に抑えられており、単結晶Ｓｉ層形成工程において、新たな結晶欠陥は導入されておらず、良好な結晶性が維持されていることが確認された。

【０２５３】又、単結晶Ｓｉ層につき、ＭＯＳ　ｃ－ｔ法を用いて少数キャリアーのライフタイムを測定したところ、２．２×１０$^{-3}$ｓｅｃという高い値を示した。

【０２５４】（実施例３３）直径３ｉｎｃｈで２００ミクロンの厚みを持ったＰ型（１００）単結晶Ｓｉ基体に５０％のＨＦ溶液中において陽極化成を施した。この時の電流密度は、１００ｍＡ／ｃｍ^{2}であった。この時の多孔質化速度は、８．４μｍ／ｍｉｎ．であり２００ミクロンの厚みを持ったＰ型（１００）Ｓｉ基体全体は、２４分で多孔質化された。

【０２５５】Ｐ型（１００）多孔質Ｓｉ基体５１上にＭＢＥ法により、Ｓｉエピタキシャル層５２を０．５ミクロン低温成長させた。堆積条件は、以下のとおりである。

温度：７００℃
圧力：１×１０$^{-9}$Ｔｏｒｒ
成長速度：０．１ｎｍ／ｓｅｃ

【０２５６】次に、このエピタキシャル層５２の表面に光学研磨を施した溶融石英ガラス（ｆｕｓｅｄ　ｑｕａｒｔｚ　ｇｌａｓｓ）基体を重ねあわせ、窒素雰囲気中で８００℃、０．５時間加熱することにより、２つの基体を、強固に貼り合わせた。減圧ＣＶＤ法によってSi_3N_4を０．１μｍの厚みで貼りあわせた２枚の基体を被覆した。次いで、多孔質基体５１上の窒化膜５４のみを反応性イオンエッチングによって除去した。次いでフッ硝酸酢酸溶液（１：３：８）を用いて多孔質Ｓｉ基体５１をエッチング除去した。すると、２００ミクロンの厚みをもった多孔質化されたＳｉ基体５１は、２分で除去された。Si_3N_4層５４を除去した後には、石英ガラス（ｆｕｓｅｄｑｕａｒｔｚ　ｇｌａｓｓ）基体５３上に０．５μｍの厚みを持った単結晶Ｓｉ層５２を有する基体が形成できた。

【０２５７】透過電子顕微鏡による断面観察の結果、Ｓｉ層には新たな結晶欠陥は導入されておらず、良好な結晶性が維持されていることが確認された。

【０２５８】（実施例３４）直径３ｉｎｃｈで２００ミクロンの厚みを持ったＰ型（１００）単結晶Ｓｉ基体に５０％のＨＦ溶液中において陽極化成を施した。この時の電流密度は、１００ｍＡ／ｃｍ^{2}であった。この時の多孔質化速度は、８．４μｍ／ｍｉｎ．であり２００ミクロンの厚みを持ったＰ型（１００）Ｓｉ基体全体は、２４分で多孔質化された。

【０２５９】Ｐ型（１００）多孔質Ｓｉ基体５１上にプラズマＣＶＤ法により、Ｓｉエピタキシャル層５２を５ミクロンの厚みに成長させた。堆積条件は、以下のとお

りである。
ガス：SiH_4
高周波電力：１００W
温度：８００℃
圧力：1×10^{-2}Ｔｏｒｒ
成長速度：２．５ｎｍ／ｓｅｃ
【０２６０】次に、このエピタキシャル層５２の表面に光学研磨を施した５００℃近辺に軟化点のあるガラス基体５３を重ねあわせ、窒素雰囲気中で４５０℃、０．５時間加熱することにより、２つの基体を、強固に貼り合わせた。減圧CVD法によってSi_3N_4を０．１μｍの厚みに貼りあわせた２つの基体に被覆した。次いで多孔質基体５１上の窒化膜５４のみを反応性イオンエッチングによって除去した。次いでKOH　6M溶液を用いて多孔質化Ｓｉ基体をエッチング除去した。すると、２００ミクロンの厚みをもった多孔質化されたＳｉ基体は、２分で除去された。Si_3N_4層を除去した後には、低軟化点ガラス基体５３上に５μｍの厚みを持った単結晶Ｓｉ層５２が形成できた。
【０２６１】（実施例３５）直径３ｉｎｃｈで２００ミクロンの厚みを持ったP型（１００）単結晶Ｓｉ基体に５０％のＨＦ溶液中において陽極化成を施した。この時の電流密度は、１００ｍA／cm^2であった。この時の多孔質化速度は、８．４μｍ／ｍｉｎ．であり２００ミクロンの厚みを持ったP型（１００）Ｓｉ基体全体は、２４分で多孔質化された。
【０２６２】P型（１００）多孔質Ｓｉ基体５１上にバイアス　スパッター法により、Ｓｉエピタキシャル層を１．０ミクロンの厚みに成長させた。堆積条件は、以下のとおりである。
ＲＦ周波数：１００MHｚ
高周波電力：６００W
温度：３００℃
Ａｒガス圧力：8×10^{-3}Ｔｏｒｒ
成長速度：１２０分
ターゲット直流バイアス：－２００Ｖ
基体直流バイアス：＋５Ｖ
【０２６３】次に、このエピタキシャル層５２の表面に光学研磨を施した５００℃近辺に軟化点のあるガラス基体５３を重ねあわせ、窒素雰囲気中で４５０℃、０．５時間加熱することにより、２つの基体を強固に貼り合わせた。減圧CVD法によってSi_3N_4を０．１μｍの厚みに貼りあわせた２つの基体を被覆した。次いで、多孔質基体上の窒化膜のみを反応性イオンエッチングによって除去した。その後フッ硝酸酢酸溶液（１：３：８）を用いて多孔質Ｓｉ基体５１をエッチング除去した。すると、２００ミクロンの厚みをもった多孔質化されたＳｉ基体５１は、２分で除去された。Si_3N_4層５４を除去した後には、低融点ガラス基体上に１．０μｍの厚みを持った単結晶Ｓｉ層５２を有する基体が形成できた。また、Si_3N_4層の代わりに、アピエゾンワックスを被覆した場合にも同様の効果があり、多孔質化されたＳｉ基体５１のみを除去し得た。
【０２６４】又、得られた単結晶Ｓｉ層の厚みを走査型エリプソメトリーを用いて調べたところ、３ｉｎｃｈウエハーの面内において単結晶Ｓｉ層の厚みの最大値と最小値の差は、厚みの最大値に対して５％以下に抑えられていた。
【０２６５】又、透過電子顕微鏡による単結晶Ｓｉ層の平面観察の結果、転移欠陥密度は1×10^3／cm^2以下に抑えられており、単結晶Ｓｉ層形成工程において、新たな結晶欠陥は導入されておらず、良好な結晶性が維持されていることが確認された。又、単結晶Ｓｉ層につき、MOS　ｃ－ｔ法を用いて少数キャリアーのライフタイムを測定したところ、2.0×10^{-3}ｓｅｃという高い値を示した。
【０２６６】（実施例３６）直径３ｉｎｃｈで２００ミクロンの厚みを持ったP型（１００）単結晶Ｓｉ基体に５０％のＨＦ溶液中において陽極化成を施した。この時の電流密度は、１００ｍA／cm^2であった。この時の多孔質化速度は、８．４μｍ／ｍｉｎ．であり２００ミクロンの厚みを持ったP型（１００）Ｓｉ基体全体は、２４分で多孔質化された。
【０２６７】P型（１００）多孔質Ｓｉ基体５１上に液相成長法により、Ｓｉエピタキシャル層を１０ミクロンの厚みに成長させた。成長条件は、以下のとおりである。
溶媒：Ｓｎ
成長温度：９００℃
成長雰囲気：H_2
成長時間：２０分
【０２６８】次に、このエピタキシャル層５２の表面に光学研磨を施した８００℃近辺に軟化点のあるガラス基体５３を重ねあわせ、窒素雰囲気中で７５０℃、０．５時間加熱することにより、２つの基体は、強固に貼り合わされた。減圧CVD法によってSi_3N_4を０．１μｍの厚みで貼りあわせた２枚の基体を被覆した。その後多孔質基体上の窒化膜のみを反応性イオンエッチングによって除去した。次いでフッ硝酸酢酸溶液（１：３：８）を用いて多孔質Ｓｉ基体をエッチング除去した。すると、２００ミクロンの厚みをもった多孔質化されたＳｉ基体５１は、２分で除去された。Si_3N_4層５４を除去した後には、ガラス基体５３上に１０μｍの厚みを持った単結晶Ｓｉ層５２を有する基体が形成できた。また、Si_3N_4層の代わりに、アピエゾンワックスを被覆した場合にも同様の効果があり、多孔質化されたＳｉ基体のみを完全に除去し得た。
【０２６９】（実施例３７）直径３ｉｎｃｈで２００ミクロンの厚みを持ったP型（１００）単結晶Ｓｉ基体に５０％のＨＦ溶液中において陽極化成を施した。この時

の電流密度は、１００ｍＡ／ｃｍ^{2}であった。この時の多孔質化速度は、８．４μｍ／ｍｉｎ．であり２００ミクロンの厚みを持ったＰ型（１００）Ｓｉ基体全体は、２４分で多孔質化された。

【０２７０】Ｐ型（１００）多孔質Ｓｉ基体５１上に減圧ＣＶＤ法により、Ｓｉエピタキシャル層５２を１．０ミクロンの厚みで成長させた。堆積条件は、以下のとおりである。

ソースガス：SiH_4　８００ＳＣＣＭ

キャリヤーガス：H_2　１５０ｌ／ｍｉｎ．

温度：８５０℃

圧力：1×10^{-2}Ｔｏｒｒ

成長速度：３．３ｎｍ／ｓｅｃ

【０２７１】次に、このエピタキシャル層５２の表面に光学研磨を施した溶融石英ガラス基体５３を重ねあわせ、窒素雰囲気中で８００℃、０．５時間加熱することにより、２つの基体は、強固に貼り合わせた。

【０２７２】減圧ＣＶＤ法によってSi_3N_4を０．１μｍの厚みで堆積させて貼りあわせた２枚の基体を被覆した。その後、多孔質基体上の窒化膜のみを反応性イオンエッチングによって除去した。次いでフッ硝酸酢酸溶液を用いて多孔質Ｓｉ基体５１をエッチング除去した。すると、２００ミクロンの厚みをもった多孔質化されたＳｉ基体は、２分で除去された。Si_3N_4層を除去した後には、石英ガラス基体５３上に１．０μｍの厚みを持った単結晶Ｓｉ層５２を有する基体が形成できた。ソースガスとして、SiH_2Cl_2をもちいた場合には、成長温度を数十度上昇させる必要があるが、多孔質基体に特有な増速エッチング特性は、維持された。

【０２７３】（実施例３８）直径４ｉｎｃｈで３００ミクロンの厚みを持ったＰ型（１００）Ｓｉ基体１５１上にＣＶＤ法により、Ｓｉエピタキシャル層１５２を１ミクロンの厚みに成長させた。堆積条件は、以下のとおりである。

反応ガス流量：SiH_2Cl_2　１０００ＳＣＣＭ

H_2　２３０ｌ／ｍｉｎ．

温度：１０８０℃

圧力：８０Ｔｏｒｒ

時間：２ｍｉｎ．

【０２７４】この基体に５０％のＨＦ溶液中において陽極化成を施した。この時の電流密度は、１００ｍＡ／ｃｍ^{2}であった。又、この時の多孔質化速度は、８．４μｍ／ｍｉｎ．であり、３００ミクロンの厚みを持ったＰ型（１００）Ｓｉ基体１５１全体は、３６分で多孔質化された。前述したようにこの陽極化成では、Ｐ型（１００）Ｓｉ基体１５１のみが多孔質化され、Ｓｉエピタキシャル層１５２には変化がなかった。次に、このエピタキシャル層１５２の表面に光学研磨を施した溶融石英ガラス基体１５４を重ねあわせ、窒素雰囲気中で８００℃、０．５時間加熱することにより、２つの基体を強固に貼り合わせた。減圧ＣＶＤ法によってSi_3N_4を０．１μｍの厚みで堆積させて、貼りあわせた２つの基体を被覆した。その後、多孔質基体１５３上の窒化膜１５５のみを反応性イオンエッチングによって除去した。次いでフッ硝酸酢酸溶液（１：３：８）を用いて多孔質Ｓｉ基体をエッチング除去した。すると、３００ミクロンの厚みをもった多孔質化されたＳｉ基体１５３は、４分で除去された。Si_3N_4層１５５を除去した後には、石英ガラス基体１５４上に１μｍの厚みを持った単結晶Ｓｉ層１５２を有する基体が形成できた。透過電子顕微鏡による断面観察の結果、Ｓｉ層には新たな結晶欠陥は導入されておらず、良好な結晶性が維持されていることが確認された。

【０２７５】（実施例３９）直径３ｉｎｃｈで２００ミクロンの厚みを持ったＰ型（１００）Ｓｉ基体１５１上にＣＶＤ法により、Ｓｉエピタキシャル層１５２を０．５ミクロンの厚みに成長させた。堆積条件は、以下のとおりである。

反応ガス流量：SiH_2Cl_2　１０００ＳＣＣＭ

H_2　２３０ｌ／ｍｉｎ．

温度：１０８０℃

圧力：８０Ｔｏｒｒ

時間：１ｍｉｎ．

【０２７６】この基体に５０％のＨＦ溶液中において陽極化成を施した。この時の電流密度は、１００ｍＡ／ｃｍ^{2}であった。この時の多孔質化速度は、８．４μｍ／ｍｉｎ．であり２００ミクロンの厚みを持ったＰ型（１００）Ｓｉ基体１５１全体は、２４分で多孔質化された。この陽極化成では、Ｐ型（１００）Ｓｉ基体のみが多孔質化されＳｉエピタキシャル層１５２には変化がなかった。

【０２７７】次に、このエピタキシャル層１５２の表面に光学研磨を施した溶融石英ガラス基体１５４を重ねあわせ、窒素雰囲気中で８００℃、０．５時間加熱することにより、２つの基体を、強固に貼り合わせた。減圧ＣＶＤ法によってSi_3N_4を０．１μｍの厚みで堆積させて、貼りあわせた２枚の基体を被覆した。その後、多孔質基体１５３上の窒化膜１５５のみを反応性イオンエッチングによって除去した。次いでフッ硝酸酢酸溶液（１：３：８）を用いて多孔質Ｓｉ基体をエッチング除去した。すると、２００ミクロンの厚みをもった多孔質化されたＳｉ基体１５３は、２分で除去された。Si_3N_4層１５５を除去した後には、ガラス基体１５４上に０．５μｍの厚みを持った単結晶Ｓｉ層１５２を有する基体が形成できた。透過電子顕微鏡による断面観察の結果、Ｓｉ層には新たな結晶欠陥は導入されておらず、良好な結晶性が維持されていることが確認された。

【０２７８】（実施例４０）直径４ｉｎｃｈで３００ミクロンの厚みを持ったＰ型（１００）Ｓｉ基体１５１の表面にプロトンのイオン注入によって、Ｎ型Ｓｉ層１５

2を1ミクロンの厚みで形成した。H^+注入量は、5×10^{15}（ions／cm^2）であった。この基体に50%のHF溶液中において陽極化成を施した。この時の電流密度は、100mA／cm^2であった。この時の多孔質化速度は、8．4μm／min．であり、300ミクロンの厚みを持ったP型（100）Si基体151全体は、37分で多孔質化された。この陽極化成では、P型（100）Si基体のみが多孔質化され、N型Si層152には変化がなかった。次に、このN型Si層152の表面に光学研磨を施した溶融石英ガラス基体154を重ねあわせ、窒素雰囲気中で800℃、0．5時間加熱することにより、2つの基体を、強固に貼り合わせた。

【0279】減圧CVD法によってSi_3N_4を0．1μmの厚みに堆積させて貼りあわせた2枚の基体を被覆した。次いで、多孔質基体153上の窒化膜155のみを反応性イオンエッチングによって除去した。次いでフッ硝酸酢酸溶液を用いて多孔質Si基体をエッチング除去した。すると、300ミクロンの厚みをもった多孔質化されたSi基体151は、4分で除去された。Si_3N_4層155を除去した後には、ガラス基体154上に1．0μmの厚みを持った単結晶Si層152を有する基体が形成できた。

【0280】又、得られた単結晶Si層の厚みを走査型エリプソメトリーを用いて調べたところ、4inchウエハーの面内において単結晶Si層の厚みの最大値と最小値の差は、厚みの最大値に対して6%以下に抑えられていた。

【0281】又、透過電子顕微鏡による単結晶Si層の平面観察の結果、転移欠陥密度は$1×10^3$／cm^2以下に抑えられており、単結晶Si層形成工程において、新たな結晶欠陥は導入されておらず、良好な結晶性が維持されていることが確認された。又、単結晶Si層につき、MOS　c－t法を用いて少数キャリアーのライフタイムを測定したところ、2．$2×10^{-3}$secという高い値を示した。

【0282】つまり、本発明によれば、ガラスに代表される光透過性絶縁物基体上にも、結晶性が単結晶ウエハー並に優れたSi結晶層を得るうえで、生産性、均一性、制御性、経済性の面において優れた半導体基体の形成方法を提供することができる。更に本発明によれば、従来のSOIデバイスの利点を活用し得、応用な範囲の広い半導体基体の形成方法を提供することができる。

【0283】（実施例41）直径3inchで200ミクロンの厚みを持ったP型（100）単結晶Si基体に50%のHF溶液中において陽極化成を施した。この時の電流密度は、100mA／cm^2であった。この時の多孔質化速度は、8．4μm／min．であり200ミクロンの厚みを持ったP型（100）Si基体全体は、24分で多孔質化された。

【0284】P型（100）多孔質Si基体61上にMBE法により、Siエピタキシャル層62を0．5ミクロンの厚みに成長させた。堆積条件は、以下のとおりである。

温度：700℃

圧力：$1×10^{-9}$Torr

成長速度：0．1nm／sec

【0285】次に、このエピタキシャル層62の表面に光学研磨を施した溶融石英ガラス基体63を重ねあわせ、窒素雰囲気中で800℃、0．5時間加熱することにより、2つの基体を、強固に貼り合わせた。次いで、フッ硝酸酢酸溶液を用いて多孔質Si基体61をエッチング除去した。すると、200ミクロンの厚みをもった多孔質化されたSi基体61は、2分で除去された。石英ガラス基体63上に0．5μmの厚みを持った単結晶Si層62を有する基体が形成できた。透過電子顕微鏡による断面観察の結果、Si層には新たな結晶欠陥は導入されておらず、良好な結晶性が維持されていることが確認された。

【0286】（実施例42）直径3inchで200ミクロンの厚みを持ったP型（100）単結晶Si基体に50%のHF溶液中において陽極化成を施した。この時の電流密度は、100mA／cm^2であった。この時の多孔質化速度は、8．4μm／min．であり200ミクロンの厚みを持ったP型（100）Si基体全体は、24分で多孔質化された。P型（100）多孔質Si基体61上にプラズマCVD法により、Siエピタキシャル層62を5ミクロンの厚みで成長させた。堆積条件は、以下のとおりである。

ガス：SiH_4

高周波電力：100W

温度：800℃

圧力：$1×10^{-2}$Torr

成長速度：2．5nm／sec

【0287】次に、このエピタキシャル層62の表面に光学研磨を施した500℃近辺に軟化点のあるガラス基体を重ねあわせ、窒素雰囲気中で450℃、0．5時間加熱することにより、2つの基体を、強固に貼り合わせた。次いでKOH．6M溶液を用いて多孔質化Si基体61をエッチング除去した。すると、200ミクロンの厚みをもった多孔質化されたSi基体61は、2分で除去された。低軟化点ガラス基体63上に5μmの厚みを持った単結晶Si層62を有する基体が形成できた。

【0288】（実施例43）直径3inchで200ミクロンの厚みを持ったP型（100）単結晶Si基体に50%のHF溶液中において陽極化成を施した。この時の電流密度は、100mA／cm^2であった。この時の多孔質化速度は、8．4μm／min．であり200ミクロンの厚みを持ったP型（100）Si基体全体は、24分で多孔質化された。

【0289】P型（100）多孔質Si基体61上にバ

イアススパッター法により、Ｓｉエピタキシャル層６２を１．０ミクロンの厚みに成長させた。堆積条件は、以下のとおりである。
ＲＦ周波数：１００ＭＨｚ
高周波電力：６００Ｗ
温度：３００℃
Ａｒガス圧力：８×１０$^{-3}$Ｔｏｒｒ
成長速度：１２０分
ターゲット直流バイアス：－２００Ｖ
基体直流バイアス：＋５Ｖ
【０２９０】次に、このエピタキシャル層６２の表面に光学研磨を施した５００℃近辺に軟化点のあるガラス基体６３を重ねあわせ、窒素雰囲気中で４５０℃、０．５時間加熱することにより、２つの基体を強固に貼り合わせた。次いでＮａＯＨ　７Ｍ溶液を用いて多孔質Ｓｉ基体６１をエッチング除去した。
【０２９１】前述したように通常のＳｉ単結晶の７Ｍ　ＮａＯＨ溶液にたいするエッチング速度は、約毎分１ミクロン弱程度であるが、多孔質層のエッチング速度はその百倍ほど増速される。すなわち、２００ミクロンの厚みをもった多孔質化されたＳｉ基体６１は、２分で除去された。低融点ガラス基体６３上に１．０μｍの厚みを持った単結晶Ｓｉ層６２を有する基体が形成できた。
【０２９２】又、得られた単結晶Ｓｉ層の厚みを走査型エリプソメトリーを用いて調べたところ、３ｉｎｃｈウエハーの面内において単結晶Ｓｉ層の厚みの最大値と最小値の差は、厚みの最大値に対して５％以下に抑えられていた。
【０２９３】又、透過電子顕微鏡による単結晶Ｓｉ層の平面観察の結果、転移欠陥密度は１×１０^{3}／ｃｍ^{2}以下に抑えられており、単結晶Ｓｉ層形成工程において、新たな結晶欠陥は導入されておらず、良好な結晶性が維持されていることが確認された。又、単結晶Ｓｉ層につき、ＭＯＳ　ｃ－ｔ法を用いて少数キャリアーのライフタイムを測定したところ、２．１×１０$^{-3}$ｓｅｃという高い値を示した。
【０２９４】（実施例４４）直径３ｉｎｃｈで２００ミクロンの厚みを持ったＰ型（１００）単結晶Ｓｉ基体に５０％のＨＦ溶液中において陽極化成を施した。この時の電流密度は、１００ｍＡ／ｃｍ^{2}であった。この時の多孔質化速度は、８．４μｍ／ｍｉｎ．であり２００ミクロンの厚みを持ったＰ型（１００）Ｓｉ基体全体は、２４分で多孔質化された。
【０２９５】Ｐ型（１００）多孔質Ｓｉ基体６１上に液相成長法により、Ｓｉエピタキシャル層６２を１０ミクロンの厚みに成長させた。成長条件は、以下のとおりである。
溶媒：Ｓｎ
成長温度：９００℃
成長雰囲気：H_2
成長時間：２０分
【０２９６】次に、このエピタキシャル層６２の表面に光学研磨を施した８００℃近辺に軟化点のあるガラス基体６３を重ねあわせ、窒素雰囲気中で７５０℃、０．５時間加熱することにより、２つの基体を、強固に貼り合わせた。次いでフッ硝酸酢酸溶液を用いて多孔質Ｓｉ基体６１をエッチング除去した。すると、２００ミクロンの厚みをもった多孔質化されたＳｉ基体６１は、２分で除去された。ガラス基体６３上に１０μｍの厚みを持った単結晶Ｓｉ層６２を有する基体が形成できた。
【０２９７】（実施例４５）直径３ｉｎｃｈで２００ミクロンの厚みを持ったＰ型（１００）単結晶Ｓｉ基体に５０％のＨＦ溶液中において陽極化成を施した。この時の電流密度は、１００ｍＡ／ｃｍ^{2}であった。この時の多孔質化速度は、８．４μｍ／ｍｉｎ．であり２００ミクロンの厚みを持ったＰ型（１００）Ｓｉ基体全体は、２４分で多孔質化された。
【０２９８】Ｐ型（１００）多孔質Ｓｉ基体６１上に減圧ＣＶＤ法により、Ｓｉエピタキシャル層５２を１．０ミクロンの厚みに成長させた。堆積条件は、以下のとおりである。
ソースガス：SiH_4　８００ＳＣＣＭ
キャリヤーガス：H_2　１５０ｌ／ｍｉｎ．
温度：８５０℃
圧力：１×１０$^{-2}$Ｔｏｒｒ
成長速度：３．３ｎｍ／ｓｅｃ
【０２９９】次に、このエピタキシャル層６２の表面に光学研磨を施した溶融石英ガラス基体６３を重ねあわせ、窒素雰囲気中で８００℃、０．５時間加熱することにより、２つの基体は、強固に貼り合わせた。次いで、フッ硝酸酢酸溶液を用いて多孔質Ｓｉ基体６１をエッチング除去した。すると、２００ミクロンの厚みをもった多孔質化されたＳｉ基体６１は、２分で除去された。石英ガラス基体６３上に１．０μｍの厚みを持った単結晶Ｓｉ層６２を有する基体が形成できた。ソースガスとして、SiH_2Cl_2をもちいた場合には、成長温度を数十度上昇させる必要があるが、多孔質基体に特有な増速エッチング特性は、維持された。
【０３００】（実施例４６）直径４ｉｎｃｈで３００ミクロンの厚みを持ったＰ型（１００）Ｓｉ基体１６１上にＣＶＤ法により、Ｓｉエピタキシャル層１６２を１ミクロンの厚みに成長させた。堆積条件は、以下のとおりである。
反応ガス流量：SiH_2Cl_2　１０００ＳＣＣＭ
H_2　２３０ｌ／ｍｉｎ．
温度：１０８０℃
圧力：８０Ｔｏｒｒ
時間：２ｍｉｎ．
【０３０１】この基体を５０％のＨＦ溶液中において陽極化成を行った。この時の電流密度は、１００ｍＡ／ｃ

m^2であった。又、この時の多孔質化速度は、８．４μm／minであり３００ミクロンの厚みを持ったＰ型（１００）Ｓｉ基体１６１全体は、３７分で多孔質化された。この陽極化成では、Ｐ型（１００）Ｓｉ基体１６１のみが多孔質化され、Ｓｉエピタキシャル層１６２には変化がなかった。次に、このエピタキシャル層の表面に光学研磨を施した溶融石英ガラス基体１６４を重ねあわせ、窒素雰囲気中で８００℃、０．５時間加熱することにより、２つの基体を、強固に貼り合わせた。次いでフッ硝酸酢酸溶液（１：３：８）を用いて多孔質Ｓｉ基体１６３をエッチング除去した。すると、３００ミクロンの厚みをもった多孔質化されたＳｉ基体１６３は、４分で除去された。石英ガラス基体１６４上に１μmの厚みを持った単結晶Ｓｉ層１６２を有する基体が形成できた。

【０３０２】又、得られた単結晶Ｓｉ層の厚みを走査型エリプソメトリーを用いて調べたところ、４inchウエハーの面内において単結晶Ｓｉ層の厚みの最大値と最小値の差は、厚みの最大値に対して７％以下に抑えられていた。

【０３０３】又、透過電子顕微鏡による単結晶Ｓｉ層の平面観察の結果、転移欠陥密度は1×10^3／cm^2以下に抑えられており、単結晶Ｓｉ層形成工程において、新たな結晶欠陥は導入されておらず、良好な結晶性が維持されていることが確認された。又、単結晶Ｓｉ層につき、MOS　c－t法を用いて少数キャリアーのライフタイムを測定したところ、2.0×10^{-3}secという高い値を示した。

【０３０４】（実施例４７）直径３inchで２００ミクロンの厚みを持ったＰ型（１００）Ｓｉ基体１６１上にＣＶＤ法により、Ｓｉエピタキシャル層１６２を０．５ミクロンの厚みで成長させた。堆積条件は、以下のとおりである。

反応ガス流量：SiH_2Cl_2　１０００ＳＣＣＭ

H_2　２３０ｌ／min.

温度：１０８０℃

圧力：８０Torr

時間：１min.

【０３０５】この基体に５０％のＨＦ溶液中において陽極化成を施した。この時の電流密度は、１００mA／cm^2であった。この時の多孔質化速度は、８．４μm／minであり２００ミクロンの厚みを持ったＰ型（１００）Ｓｉ基体全体１６１は、２４分で多孔質化された。この陽極化成では、Ｐ型（１００）Ｓｉ基体１６１のみが多孔質化されＳｉエピタキシャル層１６２には変化がなかった。　次に、このエピタキシャル層１６２の表面に光学研磨を施した溶融石英ガラス基体１６４を重ねあわせ、窒素雰囲気中で８００℃、０．５時間加熱することにより、２つの基体を、強固に貼り合わせた。次いでフッ硝酸酢酸溶液を用いて多孔質Ｓｉ基体１６３をエッチング除去した。すると、２００ミクロンの厚みをもった多孔質化されたＳｉ基体は、２分で除去された。ガラス基体上に０．５μmの厚みを持った単結晶Ｓｉ層が形成できた。透過電子顕微鏡による断面観察の結果、Ｓｉ層には新たな結晶欠陥は導入されておらず、良好な結晶性が維持されていることが確認された。

【０３０６】（実施例４８）直径３inchで２００ミクロンの厚みを持ったＰ型（１００）Ｓｉ基体１６１上の表面にプロトンのイオン注入によって、Ｎ型Ｓｉ層１６２を１ミクロンの厚みに形成した。H^+注入量は、5×10^{15}（ions／cm^2）であった。この基体に５０％のＨＦ溶液中において陽極化成を施した。この時の電流密度は、１００mA／cm^2であった。この時の多孔質化速度は、８．４μm／minであり、２００ミクロンの厚みを持ったＰ型（１００）Ｓｉ基体１６１全体は、２４分で多孔質化された。この陽極化成では、Ｐ型（１００）Ｓｉ基体１６１のみが多孔質化されＮ型Ｓｉ層１６２には変化がなかった。次に、このエピタキシャル層１６２の表面に光学研磨を施した溶融石英ガラス基体１６４を重ねあわせ、窒素雰囲気中で８００℃、０．５時間加熱することにより、２つの基体を、強固に貼り合わせた。次いでフッ硝酸酢酸溶液（１：３：８）を用いて多孔質Ｓｉ基体１６３をエッチング除去した。すると、２００ミクロンの厚みをもった多孔質化されたＳｉ基体１６３は、２分で除去された。ガラス基体１６４上に１．０μmの厚みを持った単結晶Ｓｉ層１６２が形成できた。透過電子顕微鏡による断面観察の結果、Ｓｉ層には新たな結晶欠陥は導入されておらず、良好な結晶性が維持されていることが確認された。

【０３０７】（実施例４９）直径６inchで６００ミクロンの厚みを持ったＰ型（１００）単結晶Ｓｉ基体に５０％のＨＦ溶液中において陽極化成を施した。この時の電流密度は、１０mA／cm^2であった。１０分で表面に２０ミクロンの厚みを持った多孔質層が形成された。該Ｐ型（（１００）多孔質Ｓｉ基体上に減圧ＣＶＤ法により、Ｓｉエピタキシャル層を０．５ミクロンの厚みに成長させた。堆積条件は、以下のとおりである。

ガス：SiH_2Cl_2（０．６　ｌ／min）、H_2（１００　ｌ／min）

温度：８５０℃

圧力：５０Torr

成長速度：０．１μm／min.

【０３０８】次に、このエピタキシャル層の表面を５０nm熱酸化した。こうして得られた熱酸化膜上に０．８ミクロンの酸化層を表面に有する別のシリコン基体を重ねあわせ、窒素雰囲気中で９００℃、１．５時間加熱することにより、２つの基体を強固に貼り合わせた。

【０３０９】そののちに、シリコン基体の裏面側から５８０ミクロンの研削研磨を施し、多孔質層を表出させた。

【０３１０】プラズマＣＶＤ法によってSi_3N_4を０．１μｍの厚みに堆積させて、貼りあわせた２つの基体を被覆した。次いで、多孔質基体上の窒化膜のみを反応性イオンエッチングによって除去した。

【０３１１】その後、該貼り合わせた基体をフッ硝酸酢酸溶液を用いて選択エッチングした。１５分後には、単結晶Ｓｉ層だけがエッチングされずに残り、単結晶Ｓｉエッチング・ストップの材料として、多孔質Ｓｉ層は選択エッチングされ、完全に除去された。

【０３１２】非多孔質Ｓｉ単結晶の該エッチング液にたいするエッチング速度は、極めて低く１５分後でも４０Å程度であり、多孔質層のエッチング速度との選択比は非常に大きく、非多孔質Ｓｉ層におけるエッチング量は実用上無視できる程度であった。Si_3N_4層を除去した後には、絶縁層を表面に有するシリコン基体上に０．５μｍの厚みを持った単結晶Ｓｉ層が形成できた。

【０３１３】また、Si_3N_4層の代わりに、アピエゾンワックス、或いは、エレクトロンワックスを被覆した場合にも同様の効果があり、多孔質化されたＳｉ層のみを完全に除去しえた。

【０３１４】又、得られた単結晶Ｓｉ層の厚みを走査型エリプソメトリーを用いて調べたところ、６ｉｎｃｈウエハーの面内において単結晶Ｓｉ層の厚みの最大値と最小値の差は、厚みの最大値に対して１０％以下に抑えられていた。

【０３１５】又、透過電子顕微鏡による単結晶Ｓｉ層の平面観察の結果、転移欠陥密度は$1\times10^3/cm^2$以下に抑えられており、単結晶Ｓｉ層形成工程において、新たな結晶欠陥は導入されておらず、良好な結晶性が維持されていることが確認された。又、単結晶Ｓｉ層につき、ＭＯＳ　ｃ－ｔ法を用いて少数キャリアーのライフタイムを測定したところ、2.0×10^{-3}ｓｅｃという高い値を示した。

【０３１６】

【発明の効果】以上、詳述したように、本発明の半導体部材は、絶縁物上にキャリアライフタイムが大きく欠陥の極めて少ない単結晶半導体領域を優れた膜厚の均一性をもって有するものであり、種々の半導体デバイスに応用可能なものである。又、本発明の半導体部材は高速応答が可能で信頼性に富んだ半導体デバイスに応用可能である。又、本発明の半導体部材は、高価なＳＯＳやＳＩＭＯＸの代替足り得るものである。

【０３１７】本発明の半導体部材の製造方法は、絶縁物上に結晶性が単結晶ウエハー並に優れたＳｉ結晶層を得るうえで、生産性、均一性、制御性、経済性の面において卓越した方法を提供するものである。

【０３１８】更に、本発明の半導体部材の製造方法によれば、従来のＳＯＩデバイスの利点を実現し、応用可能な半導体部材の製造方法を提供することができる。

【０３１９】また、本発明の半導体部材の製造方法によれば、ＳＯＩ構造の大規模集積回路を作製する際にも、高価なＳＯＳやＳＩＭＯＸの代替足り得る半導体部材の製造方法を提供することができる。

【０３２０】本発明の半導体部材の製造方法は、実施例にも詳細に記述したように、処理を短時間に効率良く行うことが可能となり、その生産性と経済性に優れている。

【図面の簡単な説明】

【図１】本発明の半導体部材の製造方法の工程の１例を模式的に示した模式図である。

【図２】本発明の半導体部材の製造方法の工程の１例を模式的に示した模式図である。

【図３】本発明の半導体部材の製造方法の工程の１例を模式的に示した模式図である。

【図４】本発明の半導体部材の製造方法の工程の１例を模式的に示した模式図である。

【図５】本発明の半導体部材の製造方法の工程の１例を模式的に示した模式図である。

【図６】本発明の半導体部材の製造方法の工程の１例を模式的に示した模式図である。

【図７】本発明の半導体部材の製造方法の工程の１例を模式的に示した模式図である。

【図８】本発明の半導体部材の製造方法の工程の１例を模式的に示した模式図である。

【図９】本発明の半導体部材の製造方法の工程の１例を模式的に示した模式図である。

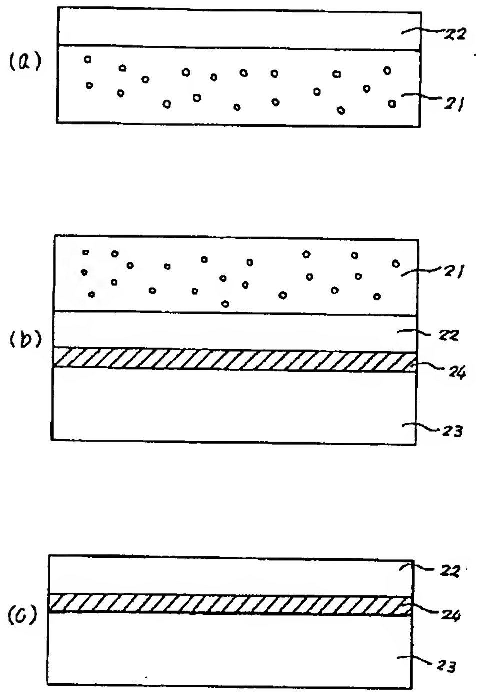
【図１０】本発明の半導体部材の製造方法の工程の１例を模式的に示した模式図である。

【図１１】本発明の半導体部材の製造方法の工程の１例を模式的に示した模式図である。

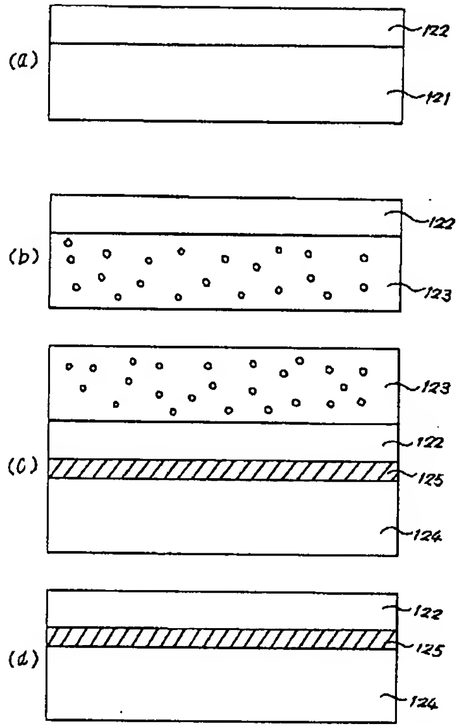
【図１２】本発明の半導体部材の製造方法の工程の１例を模式的に示した模式図である。

【図１３】本発明の半導体部材の製造方法の工程の１例を模式的に示した模式図である。

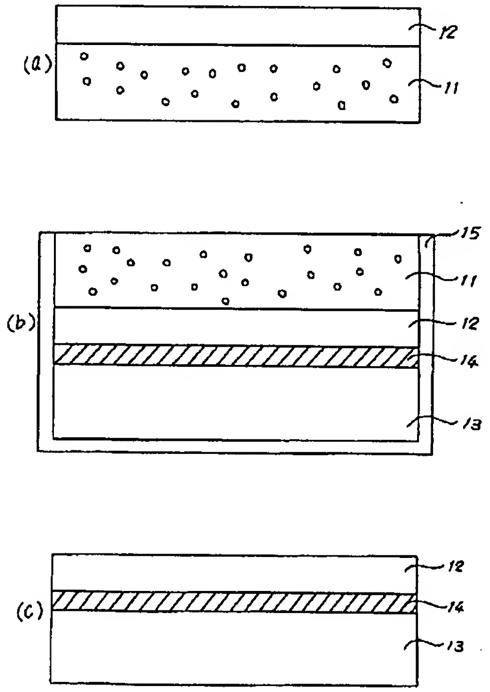
【図1】


(a)
22
21
(b)
21
22
24
23
(c)
22
24
23

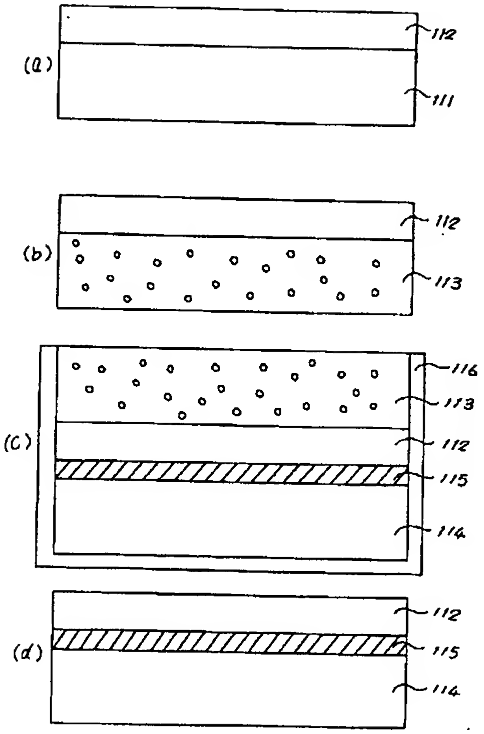
【図2】


(a)
122
121
(b)
122
123
(c)
123
122
125
124
(d)
122
125
124

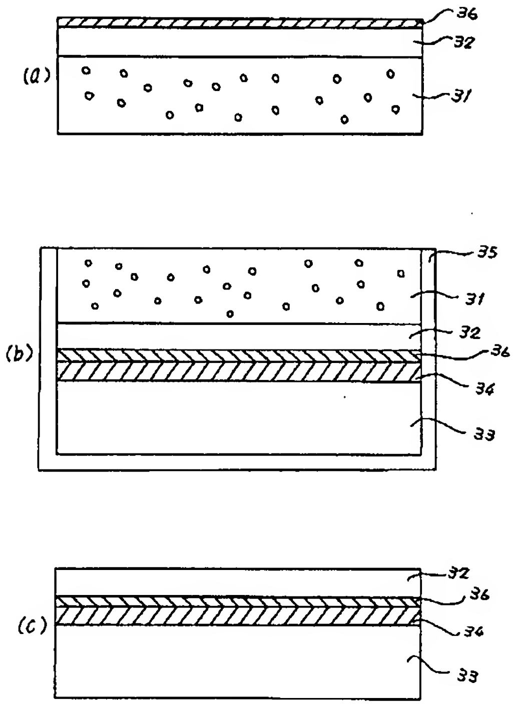
【図3】


(a)
12
11
(b)
15
11
12
14
13
(c)
12
14
13

【図4】

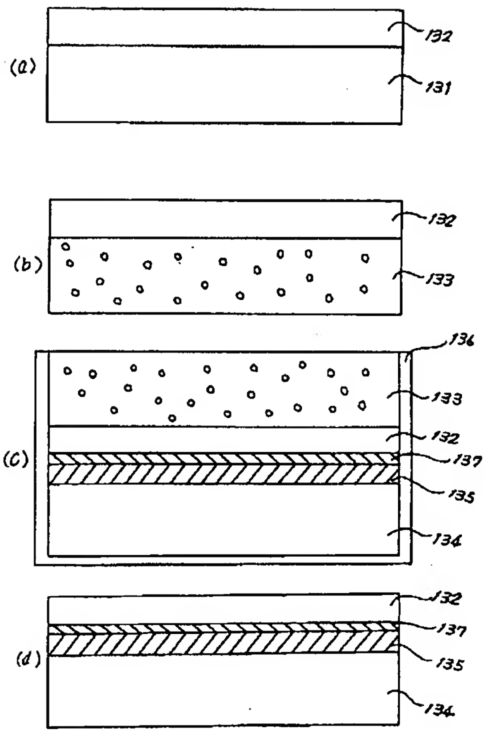

(a)
112
111
(b)
112
113
(c)
116
113
112
115
114
(d)
112
115
114

【図5】



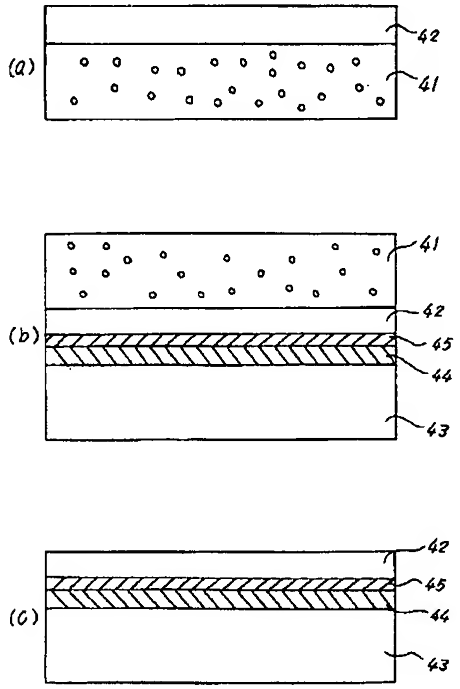
(a)
36
32
31
(b)
35
31
32
36
34
33
(c)
32
36
34
33

【図6】



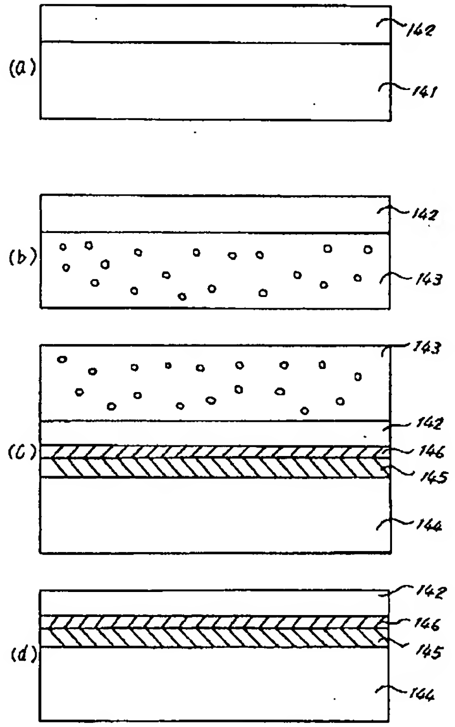
(a)
132
131
(b)
132
133
136
133
(c)
132
137
135
134
(d)
132
137
135
134

【図7】



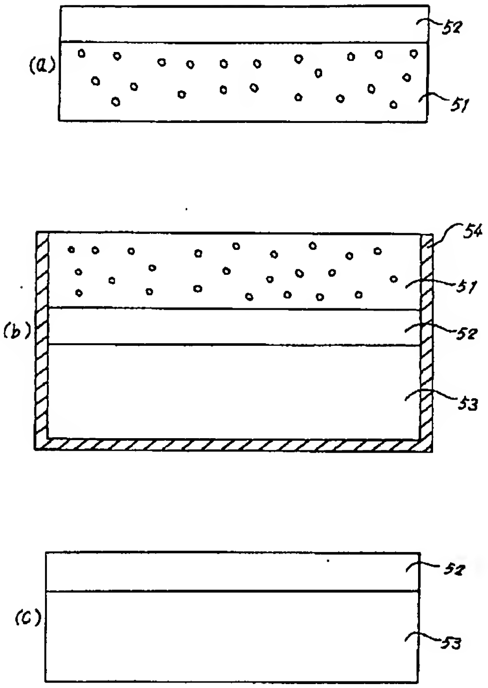
(a)
42
41
(b)
41
42
45
44
43
(c)
42
45
44
43

【図8】

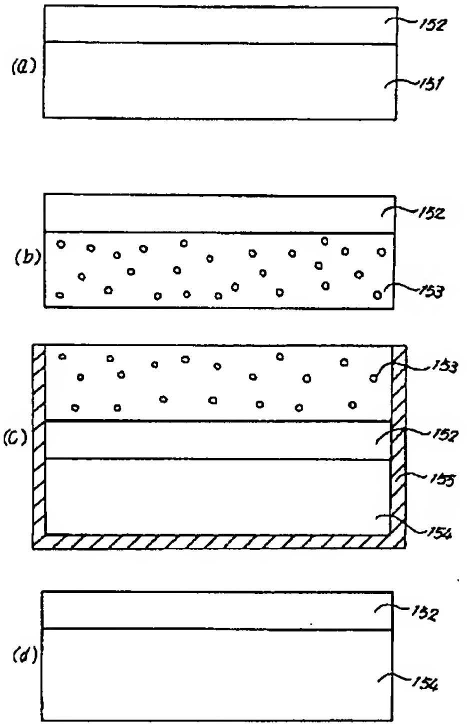


(a)
142
141
(b)
142
143
143
142
(c)
146
145
144
(d)
142
146
145
144

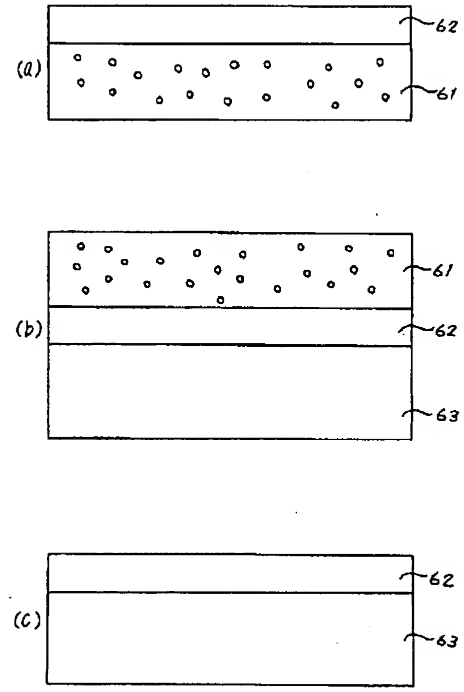
【図9】



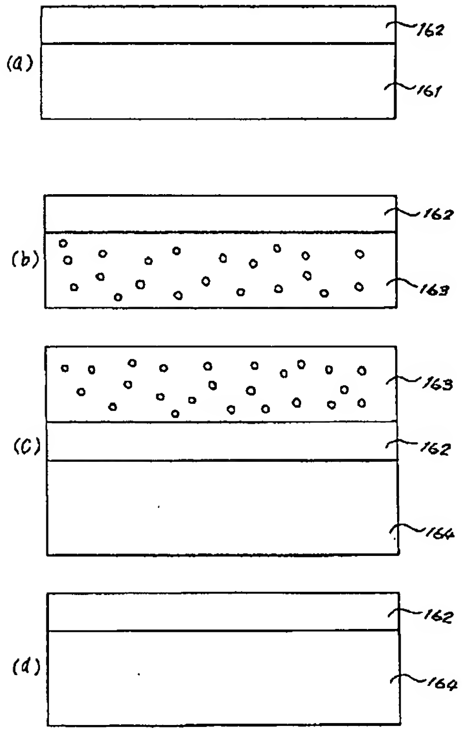
【図10】



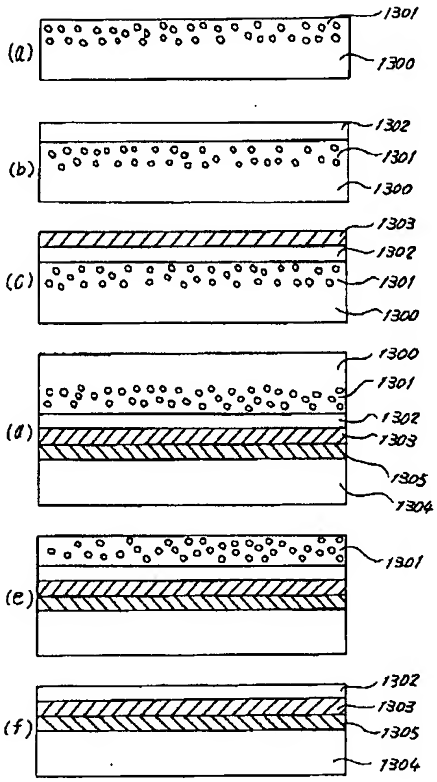
【図11】



【図12】



【図１３】



フロントページの続き

(51) Int. Cl.⁶		識別記号	庁内整理番号	F I		技術表示箇所
H01L	21/316			H01L	21/306	B
	21/762				21/76	D